



AiP8F3564

64KB Flash ROM 的触摸型

8 位微控制器

产品说明书

说明书发行履历:

版本	发行时间	新制/修订内容
2023-11-A0	2023-11	新制
2024-12-A1	2024-12	参数修订
2025-02-A2	2025-02	新增引脚
2025-07-A3	2025-07	新增 LCD 不同模式下 RAM 说明



目 录

1 概述	1
1.1 说明.....	1
1.2 特性.....	1
1.3 订购信息.....	2
2 功能框图及引脚说明.....	3
2.1 功能框图.....	3
2.2 引脚排列图.....	4
2.3 引脚说明.....	9
3 电气特性.....	10
3.1 极限参数.....	10
3.2 工作电压-频率	10
3.3 DC 特性	11
3.4 上电复位特性.....	11
3.5 LVR&LVD 电气特性	12
3.6 内部高速 RC 振荡器特性	12
3.7 内部低速 RC 振荡器特性	12
3.8 ADC 电气特性	13
3.9 CMP 电气特性	13
3.10 OPA 电气特性	13
3.11 LXT 电气特性	14
3.12 LCD 电气特性.....	14
3.13 AC 特性参数	14
3.14 Flash 存储器参数	14
4 存储器.....	15
4.1 IAP 寄存器列表	15
4.2 IAP 寄存器说明	15
4.3 程序存储器.....	19
4.3.1 FLASH 页擦除	19
4.3.2 FLASH 编程	20
4.3.3 FLASH 读取	20



4.4 数据存储器.....	21
4.4.1 通用寄存器.....	21
4.4.2 位寻址空间.....	21
4.4.3 堆栈.....	21
4.4.4 特殊功能寄存器.....	22
4.4.5 系统控制寄存器.....	23
4.4.6 扩展地址寄存器.....	25
5 时钟	27
5.1 特性.....	27
5.2 功能框图.....	27
5.3 寄存器列表.....	27
5.4 寄存器说明.....	28
6 复位	31
6.1 特性.....	31
6.2 功能框图.....	31
6.3 寄存器列表.....	31
6.4 寄存器说明.....	32
7 工作模式.....	33
7.1 特性.....	33
7.2 寄存器列表.....	33
7.3 寄存器说明.....	34
8 中断	39
8.1 特性.....	39
8.2 中断源和中断向量.....	39
8.3 中断优先级.....	40
8.4 寄存器列表.....	41
8.5 寄存器说明.....	41
9 GPIO	47
9.1 特性.....	47
9.2 寄存器列表.....	47
9.3 寄存器说明.....	48



10 通用定时器.....	60
10.1 特性.....	60
10.2 功能框图.....	61
10.3 寄存器列表.....	61
10.4 寄存器说明.....	62
10.5 功能说明.....	65
10.5.1 定时器/计数模式.....	65
10.5.2 捕获模式.....	67
10.5.3 单脉冲 PWM 模式	70
10.5.4 多脉冲 PWM 模式	72
11 高级定时器.....	73
11.1 特性.....	73
11.2 功能框图.....	73
11.3 寄存器列表.....	74
11.4 寄存器说明.....	75
11.5 功能说明.....	83
11.5.1 定时/计数模式.....	83
11.5.2 单脉冲 PWM 模式	84
11.5.3 多脉冲 PWM 模式	86
11.5.4 互补输出及死区控制.....	87
12 WT	90
12.1 特性.....	90
12.2 功能框图.....	90
12.3 寄存器列表.....	91
12.4 寄存器说明.....	91
12.5 功能说明.....	93
12.5.1 低 14 位计数模式.....	93
12.5.2 高 8 位计数模式.....	93
13 WDT	94
13.1 特性.....	94
13.2 功能框图.....	94
13.3 寄存器列表.....	94



13.4 寄存器说明.....	95
13.5 功能说明.....	97
13.5.1 看门狗复位模式.....	97
13.5.2 看门狗定时器模式.....	98
14 UART.....	99
14.1 特性.....	99
14.2 功能框图.....	100
14.3 寄存器列表.....	100
14.4 寄存器说明.....	101
14.5 功能说明.....	104
14.5.1 数据格式.....	104
14.5.2 发送器.....	105
14.5.3 接收器.....	105
14.5.4 高精度波特率发生器.....	105
14.5.5 奇偶校验.....	106
14.5.6 多处理器通讯.....	106
14.5.7 标志位.....	107
14.5.8 中断.....	108
14.5.9 软件复位功能.....	108
15 SPI.....	109
15.1 特性.....	109
15.2 功能框图.....	109
15.3 寄存器列表.....	110
15.4 寄存器说明.....	110
15.5 功能说明.....	112
15.5.1 数据收发.....	112
15.5.2 NSS 引脚管理.....	114
15.5.3 SPI 标志位信号.....	114
15.5.4 SPI 中断.....	116
16 I2C.....	117
16.1 特性.....	117
16.2 功能框图.....	118



16.3 寄存器列表.....	118
16.4 寄存器说明.....	119
16.5 功能说明.....	123
16.5.1 工作方式.....	123
16.5.2 模式选择.....	123
16.5.3 通信过程.....	124
16.5.4 通信协议.....	124
16.5.5 时钟同步和总线仲裁.....	124
16.5.6 START/STOP 信号.....	125
16.5.7 时钟发生器.....	126
16.5.8 主机发送.....	126
16.5.9 主机接收.....	128
16.5.10 从机发送.....	130
16.5.11 从机接收.....	132
16.5.12 I2C 状态标志.....	133
16.5.13 I2C 错误标志.....	135
16.5.14 广播呼叫功能.....	135
16.5.15 SDA 数据在 SCL 下降沿后保持功能.....	136
16.5.16 中断.....	136
17 CRC	137
17.1 特性.....	137
17.2 功能框图.....	138
17.3 寄存器列表.....	139
17.4 寄存器说明.....	139
18 MDU	140
18.1 特性.....	140
18.2 功能框图.....	140
18.3 寄存器列表.....	141
18.4 寄存器说明.....	141
18.5 功能说明.....	145
18.5.1 16bit 无符号乘法运算.....	145
18.5.2 16bit 带符号乘法运算.....	146



18.5.3 16bit 无符号乘加运算.....	146
18.5.4 16bit 带符号乘加运算.....	146
18.5.5 32 位无符号除法运算.....	147
18.5.6 中断 (MDUIF)	147
19 模数转换器 A/D.....	148
19.1 特性.....	148
19.2 功能框图.....	148
19.3 寄存器列表.....	149
19.4 寄存器说明.....	149
19.5 功能说明.....	153
19.5.1 AD 转换时间	153
19.5.2 AD 时钟选择	153
19.5.3 AD 参考电压选择	153
19.5.4 AD 模拟通道选择	153
19.5.5 AD 中断	153
20 TOUCH.....	154
20.1 特性.....	154
21 LCD	155
21.1 特性.....	155
21.2 功能框图.....	155
21.3 寄存器列表.....	156
21.4 寄存器说明.....	156
21.5 功能说明.....	158
21.5.1 LCD 大小选择.....	158
21.5.2 占空比调节.....	158
21.5.3 帧频选择.....	159
21.5.4 偏置电压选择.....	159
21.5.5 偏置电阻选择.....	159
21.5.6 快速充电模式.....	159
21.5.7 充电周期.....	159
21.5.8 对比度调节.....	160
21.5.9 RAM 读出控制.....	160



21.5.10 端口配置和模块使能.....	164
22 LED.....	165
22.1 特性.....	165
22.2 功能框图.....	165
22.3 寄存器列表.....	166
22.4 寄存器说明.....	166
22.5 功能说明.....	167
22.5.1 亮灭模式.....	167
22.5.2 调光模式.....	168
22.5.3 死区制模式.....	170
22.5.4 每帧图形数据更新.....	171
22.5.5 LED RAM 寄存器编址.....	172
23 低电压复位 LVR.....	175
23.1 特性.....	175
23.2 寄存器列表.....	175
23.3 寄存器说明.....	175
24 低电压检测 LVD.....	176
24.1 特性.....	176
24.2 寄存器列表.....	176
24.3 寄存器说明.....	176
25 OPA&CMP.....	177
25.1 特性.....	177
25.2 寄存器列表.....	177
25.3 寄存器说明.....	177
26 封装尺寸与外形图.....	178
26.1 LQFP64 外形图与封装尺寸.....	178
26.2 LQFP48 外形图与封装尺寸.....	179
26.3 LQFP44 外形图与封装尺寸.....	180
26.4 LQFP32 外形图与封装尺寸.....	181
26.5 SOP32 外形图与封装尺寸.....	182
27 声明及注意事项.....	183
27.1 产品中有毒有害物质或元素的名称及含量.....	183



i-core



1 概述

1.1 说明

AiP8F3564 是一款触摸型 8051 内核 MCU，内置 64KB FLASH ROM、2KB XRAM、256B IRAM，内部集成 Timer0/1/2/3/4/5、WT、WDT、CRC、MDU、UART0/1/2、SPI、I2C0/1、LCD、LED、TOUCH、OPA&CMP、12bit-ADC。

1.2 特性

内核：1T 8051

工作电压：2.2V~5.5V

工作模式：

- 普通模式（RUN）
- 空闲模式（IDLE）
- 停止模式（STOP）

存储器：

- RAM：256B IRAM，2KB XRAM
- 64KB FLASH

时钟：

- 内部高速振荡：16MHz
- 内部低速振荡：32kHz
- 外部高速晶振：4MHz~16MHz
- 外部低速晶振：32.768kHz

低电压复位：

- 4 level 选择（2.1V~3.8V）

低电压检测：

- 16 level 选择（2.0V~4.4V）

中断：

- 22 个内部中断源
- 中断优先级软件设置

GPIO：

- 最多支持 62 个多功能双向 I/O 口，内置上拉电阻，高电平驱动 4 档可调，低电平驱动 2 档可调。

定时器：

- 5 个 16 位通用定时器 T0/1/2/3/4
- 1 个 16 位高级定时器 T5
- Watch Dog Timer (WDT)
- Watch Timer (WT)

通信接口：

- 3 路 UART0/1/2

- 1 路 SPI

- 2 路 I2C

CRC 模块

MDU 模块：乘法器/除法器，支持最高 32 位除以 32 位无符号除法。

显示驱动模块：

- LCD 驱动
 - 最大支持 8COM x 32SEG
 - 4COM x 36SEG
 - 可配置占空比 1/4、1/5、1/6、1/8
 - 可配置偏压 1/2、1/3、1/4
 - 支持 16 级对比度调整
- LED 驱动
 - 最大支持 8COM x 32SEG
 - 支持 256 级亮度调节
 - 支持调光模式、亮灭模式
 - 支持逐点调光

触摸模块：

- 无需片外触摸电容
- 最多支持 48 个按键通道

模拟外设：

- OPA&CMP
- ADC
 - 12 位 A/D 转换器，最多支持 30 输入外部通道，1/4VDD 通道，OPAO 通道。
 - 2V/3V/4V/VDD 参考电压

工作温度：-40~+105℃

封装类型：

- LQFP64/LQFP48/LQFP44/LQFP32
- SOP32



1.3 订购信息

管装:

产品料号	封装形式	打印标识	管装数	盒装管	盒装数	备注说明
AiP8F3564LA64.TB	LQFP64	AiP8F3564	250 PCS/板	10 板/盒	2500 PCS/盒	塑封体尺寸: 7.0mm×7.0mm 引脚间距: 0.4mm
AiP8F3564LA48.TB	LQFP48	AiP8F3564	250 PCS/板	10 板/盒	2500 PCS/盒	塑封体尺寸: 7.0mm×7.0mm 引脚间距: 0.5mm
AiP8F3564LB44.TB	LQFP44	AiP8F3564	160 PCS/板	10 板/盒	1600 PCS/盒	塑封体尺寸: 10.0mm×10.0mm 引脚间距: 0.8mm
AiP8F3564-2LB44.TB	LQFP44	AiP8F3564-2	160 PCS/板	10 板/盒	1600 PCS/盒	塑封体尺寸: 10.0mm×10.0mm 引脚间距: 0.8mm
AiP8F3564LA32.TB	LQFP32	AiP8F3564	250 PCS/板	10 板/盒	2500 PCS/盒	塑封体尺寸: 7.0mm×7.0mm 引脚间距: 0.8mm
AiP8F3564SA32.TB	SOP32	AiP8F3564	20 PCS/管	80 管/盒	1600 PCS/盒	塑封体尺寸: 21.0mm×7.5mm 引脚间距: 1.27mm

编带:

产品料号	封装形式	打印标识	编带盘装数	编带盒装数	备注说明
AiP8F3564SA32.TR	SOP32	AiP8F3564	1250PCS/盘	1250PCS/盒	塑封体尺寸: 21.0mm×7.5mm 引脚间距: 1.27mm

注: 订购信息与实物不符时, 以实物为准。



2 功能框图及引脚说明

2.1 功能框图

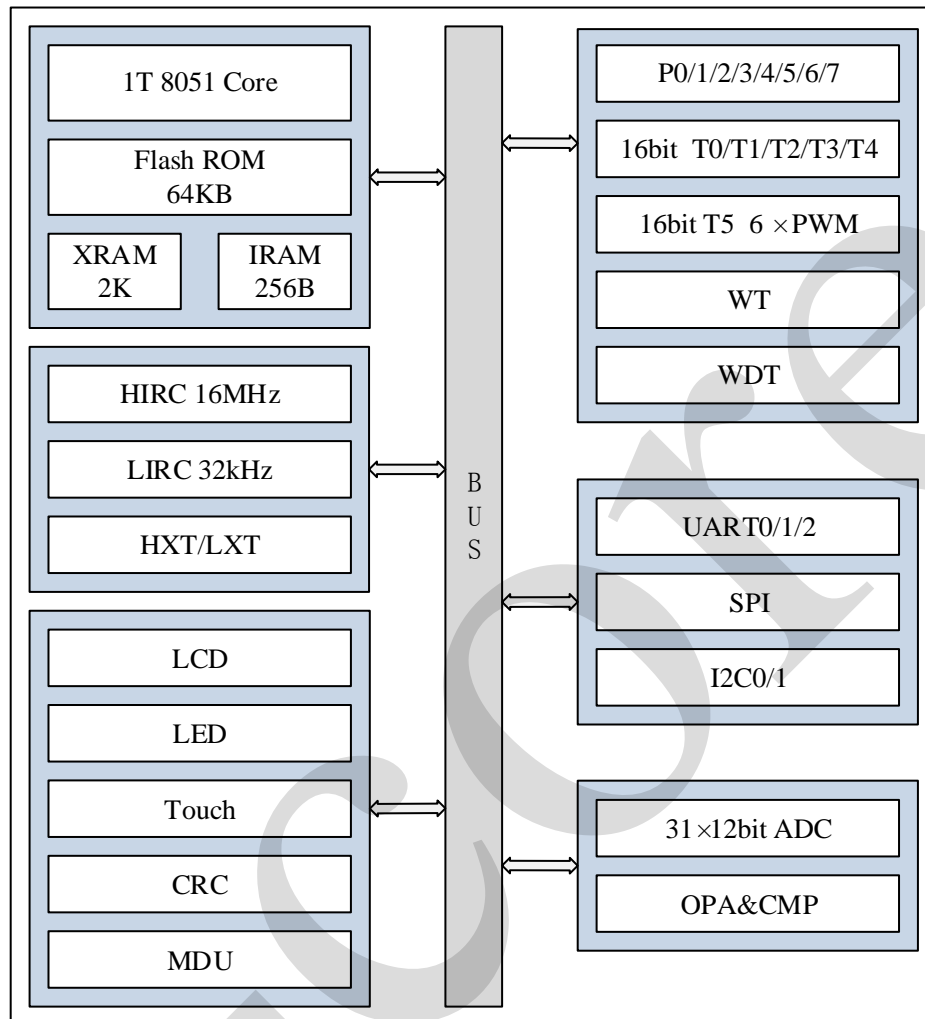


图 2.1.1系统框图



2.2 引脚排列图

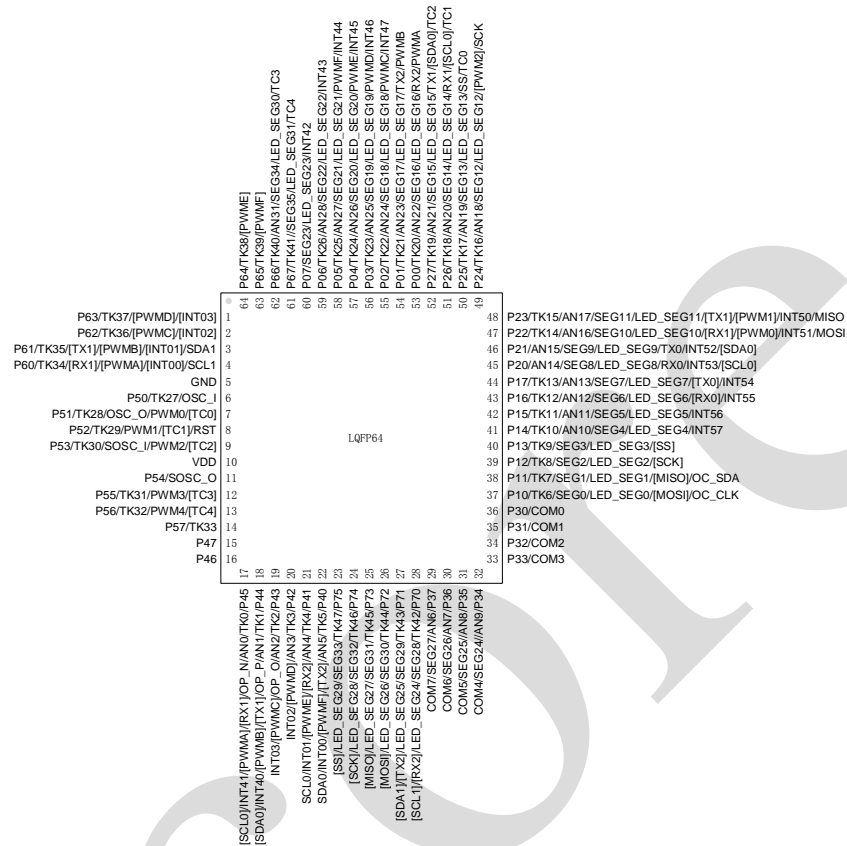


图 2.2.1 LQFP64 (AiP8F3564LA64) 引脚排列图

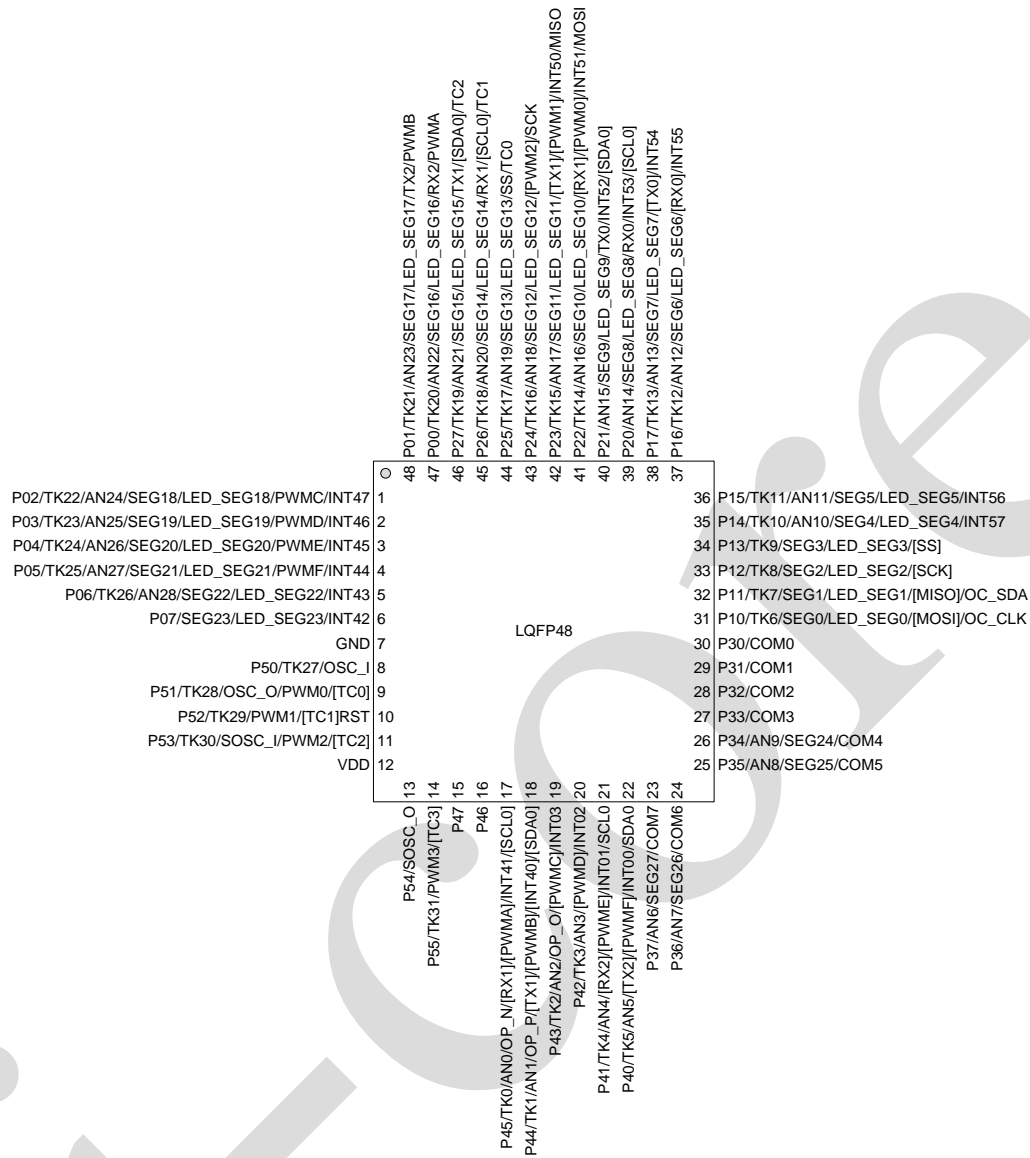


图 2.2 LQFP48 (AiP8F3564LA48) 引脚排列图

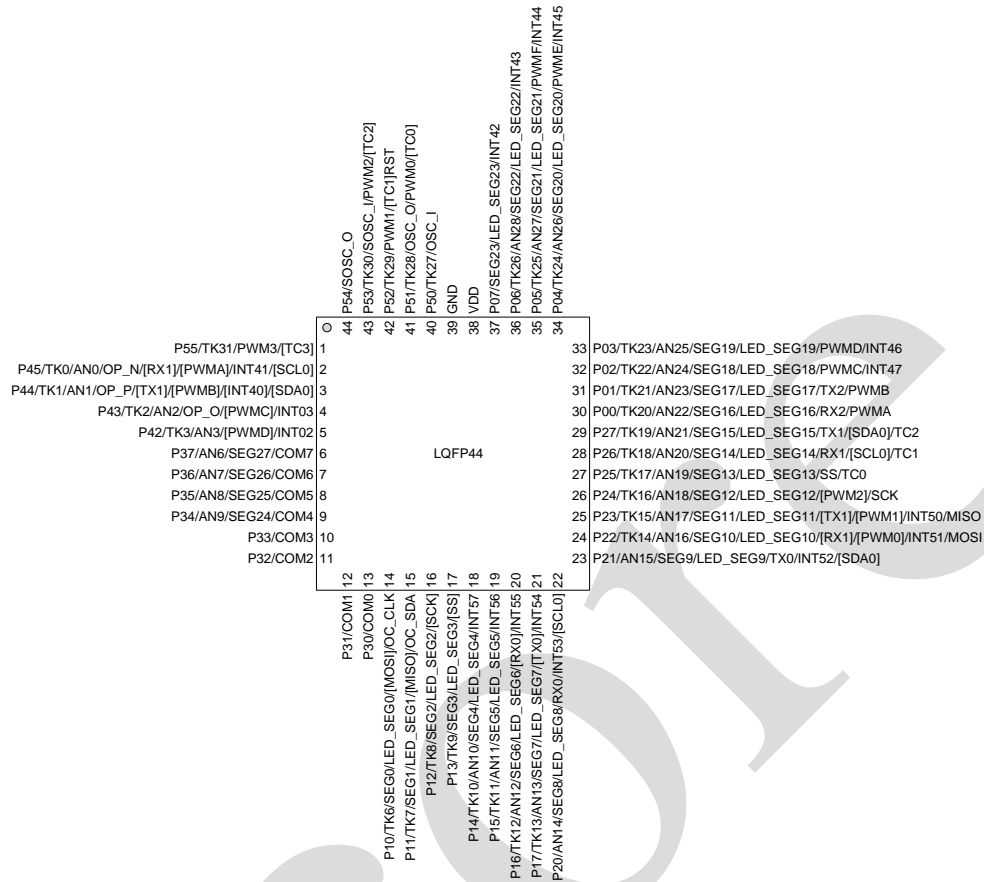


图 2.3 LQFP44 (AiP8F3564LB44) 引脚排列图

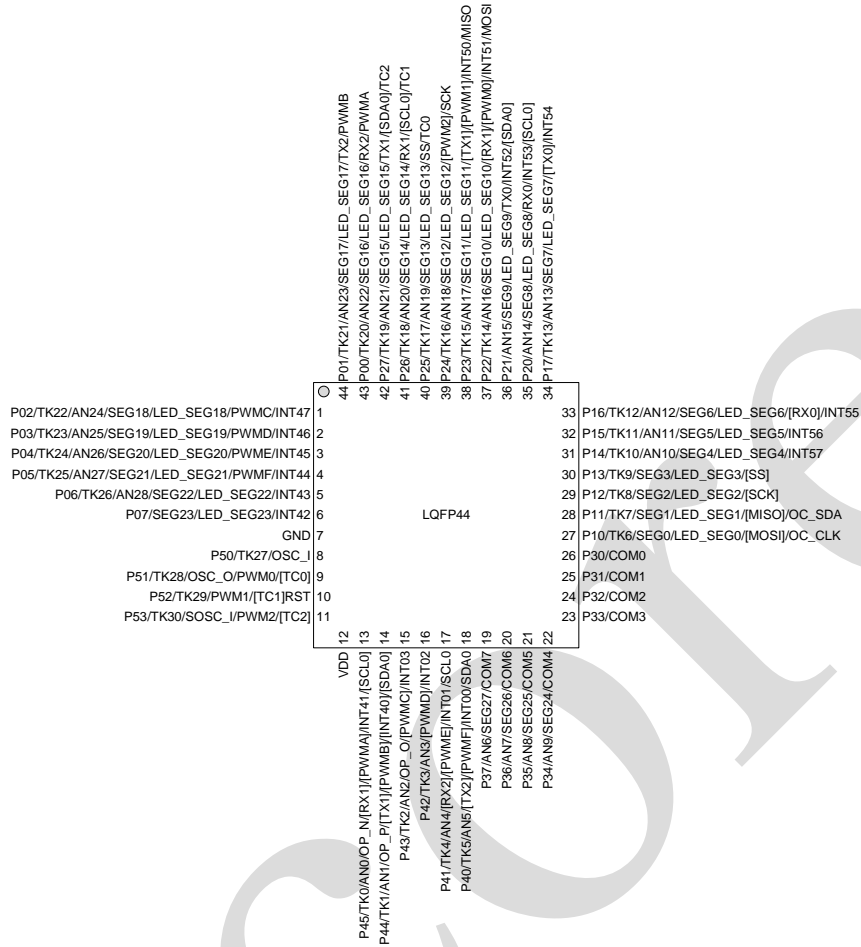


图 2.3 LQFP44 (AiP8F3564-2LB44) 引脚排列图

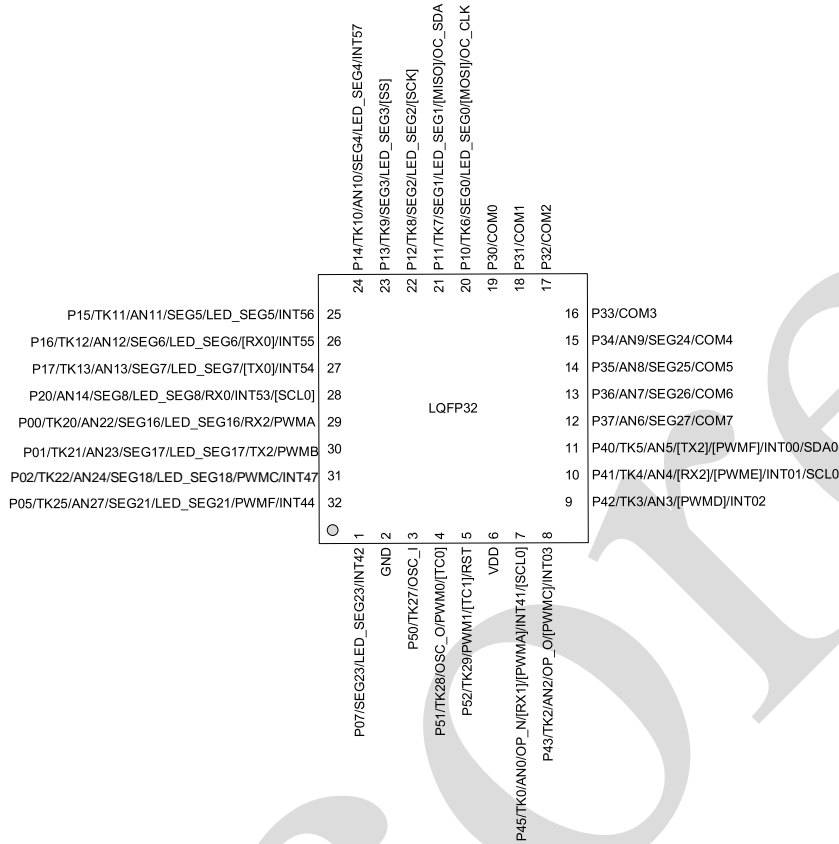


图 2.4 LQFP32 (AiP8F3564LA32) 引脚排列图

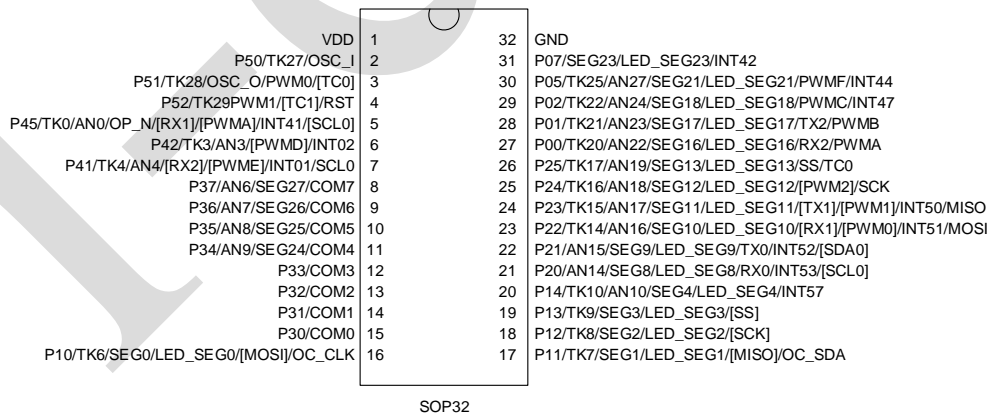


图 2.5 SOP32 (AiP8F3564SA32) 引脚排列图



2.3 引脚说明

表 2.3.1 引脚说明

引脚名称	类型	说明
IO 引脚		
P00~P07	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P10~P17	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P20~P27	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P30~P37	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P40~P47	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P50~P57	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P60~P67	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
P70~P75	I/O	普通 IO 口, 可配置为内部上拉、开漏输出
定时器引脚		
PWM0~PWM4	O	PWM0~4 输出
PWMA、PWMB、 PWMC、PWMD、 PWME、PWF	O	定时器 5 PWM 输出
TC0~TC4	I/O	定时器 0~定时器 4 输入
通讯引脚		
TX0~TX2	O	UART0、UART1、UART2 数据输出引脚
RX0~RX2	I	UART0、UART1、UART2 数据输入引脚
SCL0	I/O	I2C0 时钟输入/输出引脚
SDA0	I/O	I2C0 数据通讯引脚
SCL1	I/O	I2C1 时钟输入/输出引脚
SDA1	I/O	I2C1 数据通讯引脚
SCK	I/O	串行时钟输入/输出引脚
MISO	I/O	SPI 主设备输入/从设备输出引脚
MOSI	I/O	SPI 主设备输出/从设备输入引脚
SS	I/O	SPI 从动选择输入
ADC 引脚		
AN0~ AN28 AN31	I	AD 输入引脚
TOUCH 引脚		
TK0~ TK47	I	触摸按键
运放&比较器引脚		
OP_N	I	运放负端
OP_P	I	运放正端
OP_O	O	运放输出端
特殊引脚		
INT00~INT03	I	外部中断输入
INT40~INT47	I	外部中断输入
INT50~INT57	I	外部中断输入



COM0~COM7	O	LCD 共用信号输出
SEG0~SEG35	O	LCD 段选信号输出
OSC_I、OSC_O	I/O	主时钟振荡器引脚
SOSC_I、SOSC_O	I/O	副时钟振荡器引脚
RST	I	外部复位引脚
VDD	P	电源脚
GND	G	地线
仿真、烧录接口		
OC_SDA	I/O	仿真、烧录接口
OC_CLK	I/O	仿真、烧录接口

3 电气特性

3.1 极限参数

表 3.1.1 极限参数

符 号	参 数 名 称		最小	最大	单 位
VDD	供电电压		GND-0.3	+6.0	V
V _{IN}	输入电压		GND-0.3	VDD+0.3	V
V _{OUT}	输出电压		GND-0.3	VDD+0.3	V
I _{VDD}	VDD 最大电流		—	-150	mA
I _{VSS}	GND 最大电流		—	100	mA
T _A	工作温度		-40	+105	℃
T _{stg}	储存温度		-60	+150	℃
T _L	焊接温度	LQFP64/LQFP48/LQFP44/LQFP32	260		℃
		SOP32	250		℃

注:

- 1、 这是一个额定值，如果对芯片的操作超过极限参数所规定的范围，将对芯片造成损坏。

3.2 工作电压-频率

表 3.2.1 工作频率电压特性 (T_A=25℃, 除非另有说明)

符 号	参 数 名 称	条 件		最小	典型	最大	单 位
VDD	工作电压	f _{sys} =32.768kHz T _A =25℃	LXT	2.2	—	5.5	V
		f _{sys} =4MHz T _A =25℃	HXT	2.2	—	5.5	
		f _{sys} =16MHz T _A =25℃		2.2	—	5.5	
		f _{sys} =8MHz T _A =-40~+105℃	HIRC	2.2	—	5.5	
		f _{sys} =16MHz T _A =-40~+105℃		2.2	—	5.5	



3.3 DC 特性

表 3.3.1 DC 特性 (T_A=25℃, 除非另有说明)

符 号	参 数 名 称	测 试 条 件		最小	典型	最大	单 位
I _{DD1} (RUN)	工作电流	VDD=5V	f _{sys} =16MHz	—	3.0	5.0	mA
		VDD=3V		—	3.0	5.0	
		VDD=5V	f _{sys} =8MHz	—	2.0	4.0	
		VDD=3V		—	2.0	4.0	
I _{DD2} (RUN)		VDD=5V	f _{sys} =32.768kHz	—	0.4	0.8	mA
		VDD=3V		—	0.3	0.7	
I _{DD3} (IDLE)		VDD=5V	f _{sys} =16MHz	—	1	3	mA
		VDD=3V		—	1	3	
I _{DD4} (IDLE)		VDD=5V	f _{sys} =32.768kHz	—	360	720	μA
		VDD=3V		—	320	640	
I _{STB1} (STOP)		VDD=5V	WDT 关闭	—	5	10	μA
		VDD=3V	LVR 关闭	—	5	10	
V _{IH}	输入高电平	IO		0.7VDD	—	VDD	V
V _{IL}	输入低电平	IO		0	—	0.3VDD	V
I _{OH1}	输出高电流 1	VDD=5V	V _{OH} =0.9VDD	—	4	8	mA
		VDD=3V		—	1.5	3	
I _{OH1}	输出高电流 2	VDD=5V	V _{OH} =0.9VDD	—	8	16	mA
		VDD=3V		—	3	6	
I _{OH1}	输出高电流 3	VDD=5V	V _{OH} =0.9VDD	—	11	22	mA
		VDD=3V		—	5	10	
I _{OH1}	输出高电流 4	VDD=5V	V _{OH} =0.9VDD	—	17	34	mA
		VDD=3V		—	8	16	
I _{OL1}	输出低电流 1	VDD=5V	V _{OL1} =0.1VDD	—	32	64	mA
		VDD=3V		—	15	30	
I _{OL2}	输出低电流 2	VDD=5V	V _{OL2} =0.1VDD	—	70	100	mA
		VDD=3V		—	30	60	
R _{PU}	上拉电阻	VDD=5V	所有输入管脚	—	34	—	kΩ
		VDD=3V		—	34	—	
I _{IH}	输入高漏电流	VDD=5V, 所有输入管脚		—	—	1	μA
I _{IL}	输入低漏电流	VDD=5V, 所有输入管脚		-1	—	—	μA

3.4 上电复位特性

表 3.4.1 上电复位特性 (T_A=25℃, 除非另有说明)

符 号	参 数 名 称	测 试 条 件	最小	典型	最大	单 位
V _{POR}	复位电平	—	—	1.4	—	V
t _r	VDD 上升时间	—	0.05	—	0.5	V/ms



3.5 LVR&LVD 电气特性

表 3.5.1 LVR&LVD 电气特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符 号	参 数 名 称	测 试 条 件	最小	典型	最大	单 位
V_{LVR}	低压复位	—	1.99	2.10	2.20	V
			2.42	2.55	2.67	
			2.99	3.15	3.30	
			3.61	3.80	3.99	
V_{LVD}	低压检测	—	1.90	2.00	2.10	V
			1.99	2.10	2.20	
			2.09	2.20	2.31	
			2.20	2.32	2.43	
			2.31	2.44	2.56	
			2.46	2.59	2.71	
			2.61	2.75	2.88	
			2.78	2.93	3.07	
			2.98	3.14	3.29	
			3.21	3.38	3.54	
			3.48	3.67	3.85	
			3.80	4.00	4.2	
			4.18	4.40	4.62	
ΔV	迟滞电压	—	—	0.1	0.2	V

3.6 内部高速 RC 振荡器特性

表 3.6.1 内部高速 RC 振荡器特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符 号	参 数 名 称	测 试 条 件	最小	典型	最大	单 位
f_{HIRC}	内部高速振荡频率 (HIRC)	VDD=2.2~5.5V	—	16	—	MHz
—	频率-温度特性	VDD=5.0V, $T_A=0^{\circ}\text{C}\sim+50^{\circ}\text{C}$	-1.0	—	+1.0	%
		VDD=5.0V, $T_A=-20^{\circ}\text{C}\sim+70^{\circ}\text{C}$	-1.5	—	+1.5	
		VDD=5.0V, $T_A=-40^{\circ}\text{C}\sim+105^{\circ}\text{C}$	-2.0	—	+2.0	

3.7 内部低速 RC 振荡器特性

表 3.7.1 内部低速 RC 振荡器特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符 号	参 数 名 称	测 试 条 件	最小	典型	最大	单 位
f_{LIRC}	内部低速振荡频率 (LIRC)	VDD=2.2~5.5V	—	32	—	kHz
—	频率-温度特性	VDD=5.0V, $T_A=-40\sim+105^{\circ}\text{C}$	-3.0	—	+1.0	%



3.8 ADC 电气特性

表 3.8.1 ADC 电气特性 (VDD=5V, TA=25℃, 除非另有说明)

符 号	参 数 名 称	测 试 条 件	最小	典型	最大	单 位
V _{AD}	ADC 工作电压	—	3.0	—	5.5	V
INL	积分非线性误差	V _{REF} =VDD, f _{adc} =4M	—	±1	±4	LSB
DNL	微分非线性误差	V _{REF} =VDD, f _{adc} =4M	—	±1	±2	
V _{AIN}	输入电压	—	0	—	V _{REF}	V
Z _{AIN}	输入阻抗	—	—	—	10	kΩ
T _{cycle}	ADC 时钟周期	—	125	—	—	ns
T _{AD}	ADC 转换周期	—	—	47	—	T _{cycle}
V _{REF1}	内部 2V 参考电压	VDD=5.0V, TA=-40~+105℃	1.96	2.0	2.04	V
V _{REF2}	内部 3V 参考电压	VDD=5.0V, TA=-40~+105℃	2.94	3.0	3.06	V
V _{REF3}	内部 4V 参考电压	VDD=5.0V, TA=-40~+105℃	3.92	4.0	4.08	V

3.9 CMP 电气特性

表 3.9.1 CMP 电气特性 (TA=25℃, 除非另有说明)

符 号	参 数 名 称	测 试 条 件	最小	典型	最大	单 位
I _{DD}	工作电流	VDD=5V	—	300	—	μA
V _{OS}	输入失调	VDD=5V	-2	—	2	mV
V _{HYS}	迟滞电压	—	—	40	—	mV
T _S	小信号响应时间	VN=1.2V, VP=1.15V~1.25V	—	2.26	—	μs
T _L	大信号响应时间	VN=1V, VP=0V~2V	—	0.83	—	μs

3.10 OPA 电气特性

表 3.10.1 OPA 电气特性 (TA=25℃, 除非另有说明)

符 号	参 数 名 称	测 试 条 件	最小	典型	最大	单 位
VDD	工作电压	—	2.2	—	5.5	V
I _{DD}	静态电流	VDD=5V	—	500	—	μA
V _{OS}	输入失调	—	-2	—	2	mV
VCM	共模电压范围	CMRR>50dB	0	—	VDD-1.4	V
PSRR	电源抑制比	—	60	80	—	dB
CMRR	共模抑制比	—	60	80	—	dB
Loop-Gain	开环增益	—	—	80	—	dB
SR+	正摆率	—	0.6	1.8	—	V/μs
SR-	负摆率	—	0.6	1.8	—	V/μs
GBW	增益带宽	—	0.6	2	—	MHz



3.11 LXT 电气特性

表 3.11.1 LXT 振荡特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
f_{LXT}	外部低速振荡频率 (LXT)	VDD=5.0V	—	32.768	—	kHz
C_L	匹配电容	VDD=5.0V	—	15	—	pF

3.12 LCD 电气特性

表 3.12.1 LCD 电压特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
V_{LCD}	LCD 电压	无负载	—	0.531VDD	—	V
		LCDCRH=00H		0.563VDD		
		LCDCRH=01H		0.594VDD		
		LCDCRH=02H		0.625VDD		
		LCDCRH=03H		0.656VDD		
		LCDCRH=04H		0.688VDD		
		LCDCRH=05H		0.719VDD		
		LCDCRH=06H		0.750VDD		
		LCDCRH=07H		0.781VDD		
		LCDCRH=08H		0.813VDD		
		LCDCRH=09H		0.844VDD		
		LCDCRH=0AH		0.875VDD		
		LCDCRH=0BH		0.906VDD		
		LCDCRH=0CH		0.938VDD		
		LCDCRH=0DH		0.969VDD		
		LCDCRH=0EH		1.000VDD		

3.13 AC 特性参数

表 3.13.1 AC 特性 ($T_A=25^{\circ}\text{C}$, 除非另有说明)

符号	参数名称	测试条件	最小	典型	最大	单位
t_{RESET}	外部复位最小脉宽	VDD=5V	10	—	—	μs
t_{INT}	外部中断最小脉宽	VDD=5V	10	—	—	μs

3.14 Flash 存储器参数

表 3.14.1 Flash 存储器特性

符号	参数名称	测试条件	最小	典型	最大	单位
T_{FER}	Flash 擦除时间	VDD=5V, $T_A=25^{\circ}\text{C}$ 。	—	—	2	ms
T_{FWR}	Flash 写时间	VDD=5V, $T_A=25^{\circ}\text{C}$ 。	—	—	200	μs
EP	Flash 擦写次数	—	100K	—	—	E/W



4 存储器

AiP8F3564 有两个独立的存储器空间，程序存储器和数据存储器，下图所示是存储器组织结构图。

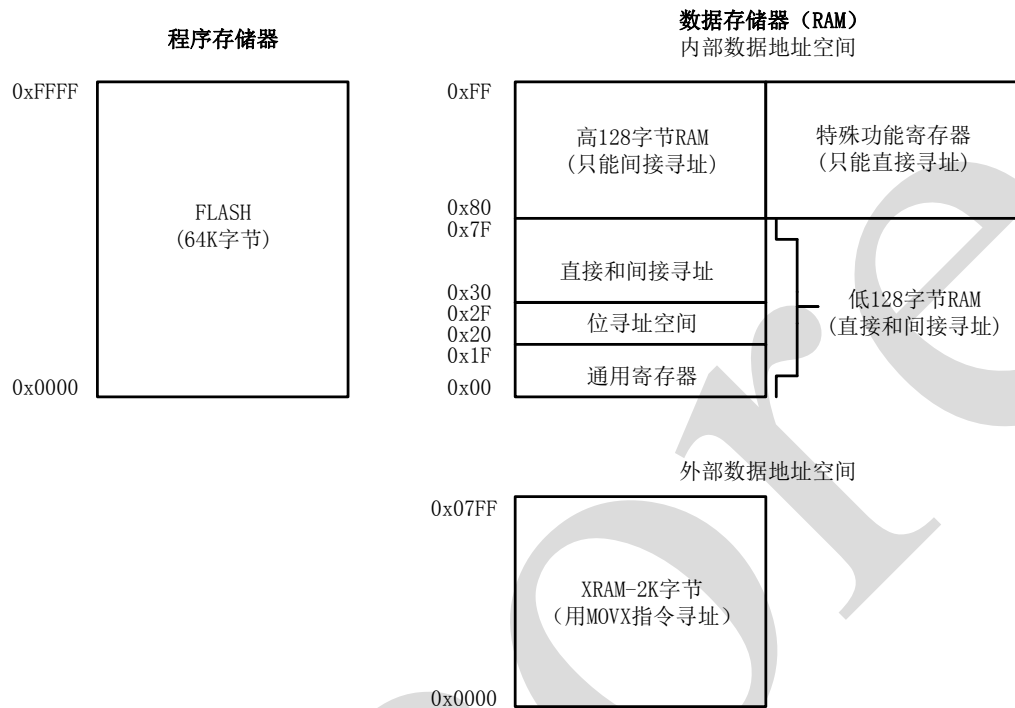


图 4.1 存储器组织结构图

4.1 IAP 寄存器列表

表 4.1.1 FLASH 寄存器列表

寄存器名称	地址	描述	初始值
FSCR	FCH	Flash 控制寄存器	00H
FSDR	FDH	Flash 数据寄存器	00H
FSALR	FEH	Flash 地址低位寄存器	00H
FSAHR	FFH	Flash 地址高位寄存器	00H
FSCR1	DEH	Flash 页保护寄存器	00H

4.2 IAP 寄存器说明

表 4.2.1 FSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	INFO_EN	—	IAPTOIFR	—	—	INS_ER_EH	INS_WR_EH
R/W	—	R/W	—	R/W	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
---	----	----



6	INFO_EN	INFO 区使能 0: 除能 1: 使能
4	IAPTOIFR	自编程写和擦超时标志位 0: 没有发生超时 1: 发生超时
1	INS_ER_EH	自编程页擦除使能 0: 除能 1: 使能 置“1”时将启动一个页擦除周期，擦除完成后将由硬件自动清零
0	INS_WR_EH	自编程单字节写使能 0: 除能 1: 使能 置“1”时将启动一个写周期，编程完成后将由硬件自动清零

注:

1、位 1 和位 0 不能同时置 1，读取位 1 和位 0 总是返回 0。

2、该组寄存器具有密钥保护，需往 KEYCODE 寄存器中依次写入：0x3C、0x02、0xA1 后才能解除写保护

表 4.2.2 FSDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FSDR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FSDR[7:0]	程序存储器数据位 bit 7~bit 0

表 4.2.3 FSALR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FSALR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FSALR[7:0]	Flash 程序存储器地址 bit 7~bit 0



表 4.2.4 FSAHR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FSAHR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FSAHR[7:0]	Flash 程序存储器地址 bit 15~bit 8

表 4.2.5 FSCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	FLASH_LEVEL[5:0]					
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	0	1	1	1	1	1	1

位	字段	描述
5-0	FLASH_LEVEL[5:0]	自编程页保护设置
		FLASH_LEVEL 被保护页
		000000 无页保护
		000001 地址 0x0000~0x07FF 保护
		000010 地址 0x0000~0x0BFF 保护
		000011 地址 0x0000~0x0FFF 保护
		000100 地址 0x0000~0x13FF 保护
		000101 地址 0x0000~0x17FF 保护
		000110 地址 0x0000~0x1BFF 保护
		000111 地址 0x0000~0x1FFF 保护
		001000 地址 0x0000~0x23FF 保护
		001001 地址 0x0000~0x27FF 保护
		001010 地址 0x0000~0x2BFF 保护
		001011 地址 0x0000~0x2FFF 保护
		001100 地址 0x0000~0x33FF 保护
		001101 地址 0x0000~0x37FF 保护
		001110 地址 0x0000~0x3BFF 保护
		001111 地址 0x0000~0x3FFF 保护
		010000 地址 0x0000~0x43FF 保护
		010001 地址 0x0000~0x47FF 保护
		010010 地址 0x0000~0x4BFF 保护
		010011 地址 0x0000~0x4FFF 保护
		010100 地址 0x0000~0x53FF 保护
		010101 地址 0x0000~0x57FF 保护
		010110 地址 0x0000~0x5BFF 保护
		010111 地址 0x0000~0x5FFF 保护



	011000	地址 0x0000~0x63FF 保护
	011001	地址 0x0000~0x67FF 保护
	011010	地址 0x0000~0x6BFF 保护
	011011	地址 0x0000~0x6FFF 保护
	011100	地址 0x0000~0x73FF 保护
	011101	地址 0x0000~0x77FF 保护
	011110	地址 0x0000~0x7BFF 保护
	011111	地址 0x0000~0x7FFF 保护
	100000	地址 0x0000~0x83FF 保护
	100001	地址 0x0000~0x87FF 保护
	100010	地址 0x0000~0x8BFF 保护
	100011	地址 0x0000~0x8FFF 保护
	100100	地址 0x0000~0x93FF 保护
	100101	地址 0x0000~0x97FF 保护
	100110	地址 0x0000~0x9BFF 保护
	100111	地址 0x0000~0x9FFF 保护
	101000	地址 0x0000~0xA3FF 保护
	101001	地址 0x0000~0xA7FF 保护
	101010	地址 0x0000~0xABFF 保护
	101011	地址 0x0000~0xAFFF 保护
	101100	地址 0x0000~0xB3FF 保护
	101101	地址 0x0000~0xB7FF 保护
	101110	地址 0x0000~0xBBFF 保护
	101111	地址 0x0000~0xBFFF 保护
	110000	地址 0x0000~0xC3FF 保护
	110001	地址 0x0000~0xC7FF 保护
	110010	地址 0x0000~0xCBFF 保护
	110011	地址 0x0000~0xCFFF 保护
	110100	地址 0x0000~0xD3FF 保护
	110101	地址 0x0000~0xD7FF 保护
	110110	地址 0x0000~0xDBFF 保护
	110111	地址 0x0000~0xDFFF 保护
	111000	地址 0x0000~0xE3FF 保护
	111001	地址 0x0000~0xE7FF 保护
	111010	地址 0x0000~0xEBFF 保护
	111011	地址 0x0000~0xEFFF 保护
	111100	地址 0x0000~0xF3FF 保护
	111101	地址 0x0000~0xF7FF 保护
	111110	地址 0x0000~0xFBFF 保护
	111111	地址 0x0000~0xFFFF 保护

注:

1、该组寄存器具有密钥保护, 需往 KEYCODE 寄存器中依次写入: 0x3C、0x02、0xA1 后才能解除写保护



4.3 程序存储器

程序存储器包含 64KB FLASH ROM，可用来存放用户程序，以 1KB 为 1 个扇区，可以在系统编程。一个 FLASH 位一旦被清“0”，必须经过擦除才能再回到“1”状态。在进行重新编程之前，一般要将数据字节擦除（置为 0xFF）。为了保证操作正确，写和擦除操作由硬件自动完成，不需要进行数据查询来判断写/擦除操作何时结束。在 FLASH 写/擦除操作期间，程序暂停执行。

4.3.1 FLASH 页擦除

写 FLASH 存储器可以清除数据位，但不能使数据位置“1”，只有擦除操作能将 FLASH 中的数据位置“1”。所以在写入新值之前，必须先擦除待编程的地址。FLASH 存储器共 64 页（每页 1K 字节），一次擦除操作将擦除一页（将页内的所有字节置为 0xFF）。

页擦除的步骤如下：

1. 配置 FLASH 写入地址寄存器 FSAHR/FSALR（待擦除的页任意一个地址均可）
2. 配置 FLASH 写入数据寄存器 FSDR（写入数据建议配置为 0x00）
3. 对 KEYCODE 寄存器依次写入 0x3C、0x02、0xA1 关闭 FSCR 寄存器写保护
4. 使能擦除操作，NOP，NOP，NOP
5. 对 KEYCODE 寄存器写入 0x00 打开 FSCR 寄存器写保护

例如擦除 0AA0H 地址对应的扇区，则可执行下述程序：

```
MOV      FSAHR, #0AH
MOV      FSALR, #0A0H
MOV      FSDR, #00H
MOV      KEYCODE, #3CH
MOV      KEYCODE, #02H
MOV      KEYCODE, #0A1H
MOV      FSCR, #02H
NOP
NOP
NOP
MOV      KEYCODE, #00H
```



4.3.2 FLASH 编程

FLASH 存储器一次只能写入一个字节。

用软件对 FLASH 字节编程的步骤如下：

1. 配置 FLASH 写入地址寄存器 FSAHR/FSALR（目标地址）
2. 配置 FLASH 写入数据寄存器 FSDR（目标地址对应的数据）
3. 对 KEYCODE 寄存器依次写入 0x3C、0x02、0xA1 关闭 FSCR 寄存器写保护
4. 使能写操作，NOP，NOP，NOP
5. 对 KEYCODE 寄存器写入 0x00 打开 FSCR 寄存器写保护

例如要向 0AA0H 地址写入一个数据 0x55，则可执行下述程序：

```
MOV        FSAHR, #0AH
MOV        FSALR, #0A0H
MOV        FSDR, #55H
MOV        KEYCODE, #3CH
MOV        KEYCODE, #02H
MOV        KEYCODE, #0A1H
MOV        FSCR, #01H
NOP
NOP
NOP
MOV        KEYCODE, #00H
```

4.3.3 FLASH 读取

FLASH 存储器可以一次读一个字节，读操作通过 MOVC 指令实现。

例如读取 0x0300H 地址的数据，则可执行下述程序：

```
#include <absacc.h>

KEYCODE = 0x3C;
KEYCODE = 0x02;
KEYCODE = 0xA1;

dat = CBYTE[0x0300];
KEYCODE = 0x00;
```



4.4 数据存储器

AiP8F3564 的数据存储器空间中有 256B 的内部 RAM，位于 0x00 到 0xFF 的地址空间。

数据存储器中的低 128B 为通用寄存器，可以用直接或间接寻址方式访问。其中 0x00 到 0x1F 为 4 个通用寄存器区，每个区有 8 个 8 位寄存器；地址 0x20 到 0x2F，既可以按字节寻址又可以作为 128 个位地址用直接位寻址方式访问。

数据存储器中的高 128B 只能用间接寻址访问，该存储区与特殊功能寄存器（SFR）占据相同的地址空间，但物理上与 SFR 空间分开。当使用直接寻址方式的指令访问高于 0x7F 的地址时，将访问 SFR 空间；当使用间接寻址方式的指令访问高于 0x7F 的地址时，将访问数据存储器的高 128 字节。

4.4.1 通用寄存器

从地址 0x00 到 0x1F，可以作为 4 个通用寄存器区访问，每个区有 8 个 8 位寄存器，称为 R0-R7。在同一时刻只能选择一个寄存器区，程序状态字中的 RS0(PSW.3)和 RS1(PSW.4)位用于选择当前的寄存器区，间接寻址方式使用 R0 和 R1 作为间址寄存器。

4.4.2 位寻址空间

从地址 0x20 到 0x2F 的 16 个数据存储器单元可以作为 128 个独立寻址位访问。每个位有一个位地址，从 0x00 到 0x7F。位于地址 0x20 的数据字节的 BIT0 位地址为 0x00，位于 0x20 的数据字节的 BIT7 位地址为 0x07，位于 0x2F 的数据字节的 BIT7 位地址为 0x7F。由所用指令的类型来区分是位寻址还是字节寻址。

4.4.3 堆栈

程序的堆栈可以位于 256B 数据存储器中的任何位置，堆栈区域用堆栈指针（SP，0x81）指定，SP 指向最后使用的位置。下一个压入堆栈的数据将被存放在 SP+1，然后 SP 加 1，堆栈深度最大 256 级。

复位后堆栈指针被初始化为地址 0x07，因此第一个被压入堆栈的数据将被存放在地址 0x08，这也是寄存器区 1 的第一个寄存器（R0）。如果使用不止一个寄存器区，SP 应被初始化为数据存储器中不用于数据存储的位置。



4.4.4 特殊功能寄存器

从地址 0x80 到 0xFF，采用直接寻址存储器空间为特殊功能寄存器（SFR）。通过操作 SFR 对 AiP8F3564 系统和外设的控制及数据交换。用直接寻址方式访问 0x80~0xFF 的存储器空间将访问特殊功能寄存器（SFR），地址以 0x0 或 0x8 结尾的 SFR（例如 ACC、IEN0、IEN1、PSW 等）既可以按字节寻址也可以按位寻址，所有其它 SFR 只能按字节寻址。FSCR 寄存器有 KEYCODE 设计，出于软件安全的考虑，在将数据写入该 SFR 之前，必须先按顺序正确地将 KEYCODE 数值写入到 KEYCODE 寄存器中。SFR 空间中未使用的地址保留，访问这些地址会产生不确定的结果，应予避免。

下表列出了 AiP8F3564 系统控制器中的全部 SFR，有关每个寄存器的详细说明请参见各章节寄存器说明。

表 4.4.1 特殊功能寄存器地址映射表

高 5 位地址	低 3 位地址							
	0H	1H	2H	3H	4H	5H	6H	7H
F8H	IP1	CRCIN	CRCRDL	CRCDRH	FSCR ^{注2}	FSDR	FSALR	FSAHR
F0H	B	RSTFR	SYSCR1 ^{注1}	SYSCR2 ^{注1}	SYSCR	CKCR ^{注1}	OSCCR1	OSCTS
E8H	P7	MDAH0	MDAH1	MDBH0	MDBH1	MDCH0	MDCH1	OPACR
E0H	ACC	MDAL0	MDAL1	MDBL0	MDBL1	MDCL0	MDCL1	MDUCR
D8H	P6	I2C0CR1	SPICR1	SPICR2	SPISR	SPIDR	FSCR1 ^{注2}	KEYCODE
D0H	PSW	I2C0SR1	I2C0SR2	I2C0DR	I2C0ADDR	I2C0CCRL	I2C0CCRH	I2C0TOCR
C8H	OSCCR	UART2CR1	UART2CR2	UART2CR3	UART2DR	UART2SR	UART2BRR1	UART2BRR2
C0H	EIFLAG0	UART1CR1	UART1CR2	UART1CR3	UART1SR	UART1DR	UART1BRR1	UART1BRR2
B8H	IP0	UART0CR1	UART0CR2	UART0CR3	UART0DR	UART0SR	UART0BRR1	UART0BRR2
B0H	P3	T2CR1	T2CR2	T2DR1L	T2DR1H	T2DR2L	T2DR2H	EIFLAG1
A8H	IE0	IE1	IE2	ADCCRL	ADCCRH	ADCDDL	ADCDRL	P5IO
A0H	P2	T1CR1	T1CR2	T1DR1L	T1DR1H	T1DR2L	T1DR2H	P4IO
98H	P5	T0CR1	T0CR2	T0DR1L	T0DR1H	T0DR2L	T0DR2H	P3IO



90H	P1	DPS	WDTCR	P7IO	IE3	P0IO	P1IO	P2IO
88H	P4	CKCON	WDTDR	P6IO	EIFLAG2	LVRCCR	FRECR	FRECNT
80H	P0	SP	DPL	DPH	DPL1	DPH1	LVDCR	PCON

注:

- 1、需预先写入 KEYCODE 解锁写保护: 3C、02、A0, 写结束后写入 00 打开写保护
- 2、需预先写入 KEYCODE 解锁写保护: 3C、02、A1, 写结束后写入 00 打开写保护

4.4.5 系统控制寄存器

表 4.4.2 ACC 累加器

Bit	7	6	5	4	3	2	1	0
Name	ACC							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.3 B 寄存器

Bit	7	6	5	4	3	2	1	0
Name	B							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.4 SP 堆栈指针

Bit	7	6	5	4	3	2	1	0
Name	SP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	1	1	1

表 4.4.5 DPL 数据指针寄存器 L

Bit	7	6	5	4	3	2	1	0
Name	DPL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0



表 4.4.6 DPH 数据指针寄存器 H

Bit	7	6	5	4	3	2	1	0
Name	DPH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.7 DPL1 数据指针寄存器 Low1

Bit	7	6	5	4	3	2	1	0
Name	DPL1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.8 DPH1 数据指针寄存器 High1

Bit	7	6	5	4	3	2	1	0
Name	DPH1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

表 4.4.9 PSW 程序状态寄存器

Bit	7	6	5	4	3	2	1	0
Name	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述			
7	CY	进位标志			
6	AC	辅助进位标志			
5	F0	通用用户可定义标志			
4-3	RS[1:0]	寄存器组选择位			
		RS1	RS0	寄存器	地址
		0	0	0	0x00-0x07
		0	1	1	0x08-0x0F
		1	0	2	0x10-0x17
		1	1	3	0x18-0x1F
2	OV	溢出标志 该位在下列情况下被置 1： ADD、ADDC 或 SUBB 指令引起符号位变化溢出。 MUL 指令引起溢出（结果大于 255）。 DIV 指令的除数为 0。 ADD、ADDC、SUBB、MUL 和 DIV 指令的其它情况使该位清 0。			
1	F1	用户可定义标志			
0	P	奇偶标志。每个指令周期通过硬件设置/清除来表示累加器中 1 的数量的奇偶			



表 4.4.10 DPS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	—	DPSSEL
R/W	—	—	—	—	—	—	—	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
0	DPSSEL	0: DPTR 1: DPTR1

4.4.6 扩展地址寄存器

XRAM 中从 0x40E0 到 0x41FF 的存储器空间为扩展地址寄存器，如下表所示。

表 4.4.11 扩展地址特殊功能寄存器地址映射表

地址	寄存器	地址	寄存器
40E1H	P0PU	4146H	P1DC
40E2H	P1PU	4147H	P2DC
40E3H	P2PU	4148H	P3DC
40E4H	P3PU	4149H	P4DC
40E5H	P4PU	414AH	P5DC
40E6H	P5PU	414BH	P6DC
40E7H	P6PU	414CH	P7DC
40E8H	P7PU	4150H	ADAN0
40E9H	P0OD	4151H	ADAN1
40EAH	P1OD	4152H	ADAN2
40EBH	P2OD	4153H	ADAN3
40ECH	P3OD	4155H	SEGCR0
40EDH	P4OD	4156H	SEGCR1
40EEH	P5OD	4157H	SEGCR2
40EFH	P6OD	4158H	SEGCR3
40F0H	P7OD	4159H	COMCR
40F1H	P0DB	415AH	LCMCR0
40F2H	P1DB	415BH	LCMCR1
40F3H	P2DB	415CH	LCMCR2
40F4H	P3DB	415DH	LCMCR3
40F5H	P4DB	415EH	LCMCR4
40F6H	P5DB	415FH	LCMCR5
40F7H	P6DB	4160H	T3CR1
40F8H	P7DB	4161H	T3CR2
4100H	I2C1SR1	4162H	T3DR1L
4101H	I2C1SR2	4163H	T3DR1H
4102H	I2C1DR	4164H	T3DR2L
4103H	I2C1ADDR	4165H	T3DR2H



表 835-11-B5

4104H	I2C1CCRL	4170H	T4CR1
4105H	I2C1CCRH	4171H	T4CR2
4106H	I2C1TOCR	4172H	T4DR1L
4107H	I2C1CR1	4173H	T4DR1H
4118H	EIPOL0	4174H	T4DR2L
4119H	EIPOL1	4175H	T4DR2H
411AH	EINT4SEL	41D0H	RAMCR
411BH	EINT5SEL	41D1H	SFRSAFECR
4120H	LCDCRL	41D2H	SYSCR3 注 1
4121H	LCDCRH	41E2H	T5PWMOE
4122H	FRASEL	41E3H	P5DCR1
4123H	LEDCR	41E4H	P5DCR2
4124H	DISCOM	41E6H	T5DR0L
4125H	LEDDZ	41E7H	T5DR0H
4130H	CCTCR0	41E9H	T5DR1L
4131H	CCTCR1	41EAH	T5DR1H
4132H	CCTCR2	41EBH	T5DR2L
4133H	CCTCR3	41ECH	T2DR2H
4134H	CCTDRL	41EDH	T5DR3L
4135H	CCTDRH	41EEH	T5DR3H
4136H	CCTIDA	41EFH	T5CR1
4137H	CCTANA	41F1H	T5DR4L
4138H	CCTCH0	41F2H	T5DR4H
4139H	CCTCH1	41F3H	T5DR5L
413AH	CCTCH2	41F4H	T5DR5H
413BH	CCTCH3	41F5H	T5DR6L
413CH	CCTCH4	41F6H	T5DR6H
413DH	CCTCH5	41F7H	T5CR2
4144H	SLEDC	41FCH	WTCR
4145H	P0DC	41FDH	WTDR

注:

1、需预先写入 KEYCODE 解锁写保护: 3C、02、A0, 写结束后写入 00 打开写保护



5 时钟

5.1 特性

时钟发生器为内核和外围设备提供时钟, 包括晶体振荡器 HXT/LXT 和内部 HIRC/LIRC 振荡器。主时钟默认为 HIRC (16MHz)。

- 内部高速振荡 (HIRC)
- 内部低速振荡 (LIRC)
- 外部高速晶振 (HXT)
- 外部低速晶振 (LXT)

5.2 功能框图

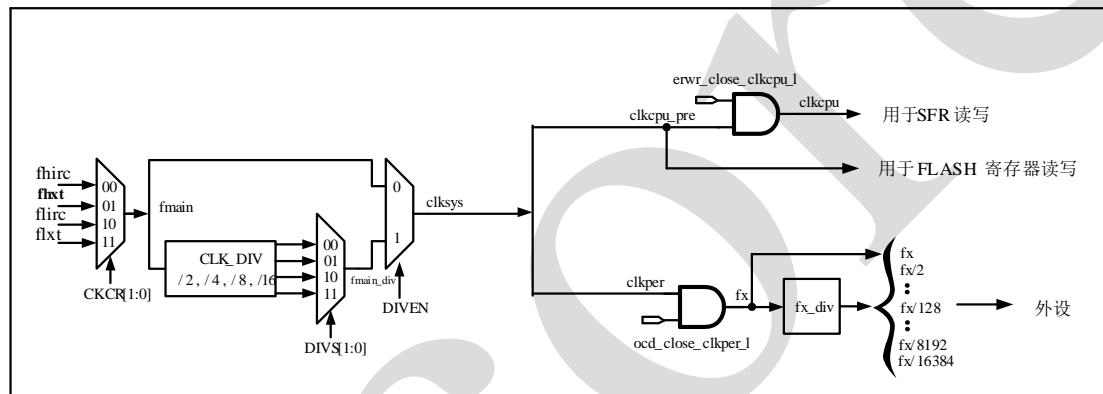


图 5.2.1 系统时钟框图

5.3 寄存器列表

表 5.3.1 时钟寄存器列表

寄存器名称	地址	描述	初始值
OSCCR	C8H	振荡时钟控制寄存器	50H
CKCR	F5H	系统时钟控制寄存器	10H
OSCCR1	F6H	晶振控制寄存器	08H
OSCTS	F7H	外部晶振稳定检测时间控制寄存器	FFH



5.4 寄存器说明

表 5.4.1 OSCCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LXTE	LIRCE	HXTE	HIRCE	TKCLKEN	DIVEN	DIVS1	DIVS0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	1	0	0	0	0

位	字段	描述
7	LXTE	LXT 时钟使能 0: LXT 使能关闭 1: LXT 使能打开
6	LIRCE	LIRC 时钟使能 0: LIRC 时钟使能关闭 1: LIRC 时钟使能打开
5	HXTE	HXT 时钟使能 0: HXT 时钟使能关闭 1: HXT 时钟使能打开
4	HIRCE	HIRC 时钟使能 0: HIRC 时钟使能关闭 1: HIRC 时钟使能打开
3	TKCLKEN	TOUCH32M 时钟使能 0: TOUCH 时钟使能关闭 1: TOUCH 时钟使能打开
2	DIVEN	系统时钟分频使能 0: 除能 1: 使能
1-0	DIVS[1:0]	系统时钟分频选择 00: 2 分频 01: 4 分频 10: 8 分频 11: 16 分频

表 5.4.2 OSCCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	OSC_SE L	—	FDEC_S EL	OSCDEC _EH	LXT_QU ICKUP_ EH	OSCDEC IFR	LXT_ST BF	HXT_ST BF
R/W	R/W	—	R/W	R/W	R/W	R/W0	R	R
POR	0	0	0	0	1	0	0	0

位	字段	描述				
7	OSC_SEL	振荡使能，与 OSCCR[7](=lxte)，OSCCR[5](=hxte)配合使用				
		OSC_SEL	OSCCR[7]	OSCCR[5]	P50/P51	P53/P54
		0	0	0	IO	IO
		0	0	1	高振端口	IO
		0	1	0	IO	低振端口



		0	1	1	高振端口	低振端口
		1	1	0	低振端口 ^注	IO
5	FDEC_SEL	停振检测频率选择 0: HXT 停振检测使能 1: LXT 停振检测使能				
4	OSCDEC_EH	停振检测使能位 0: 除能 1: 使能				
3	LXT_QUICKUP_EH	LXT 快速起振使能位, 起振后约 2s 可选进入低功耗模式 0: 除能 1: 使能				
2	OSCDECIFR	停振检测标志位 0: 无停振标志位 1: 检测到停振标志位				
1	LXT_STBF	LXT 振荡稳定标志位 0: LXT 振荡稳定计数器未计数至 OSCTS 设定值 1: LXT 振荡稳定计数器计数至 OSCTS 设定值				
0	HXT_STBF	HXT 振荡稳定标志位 0: HXT 振荡稳定计数器未计数至 OSCTS 设定值 1: HXT 振荡稳定计数器计数至 OSCTS 设定值				

注:

当 P50/P51 作为低振端口时, 软件不需要判断振荡稳定标志位。

表 5.4.3 OSCTS 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	OSCTS3	OSCTS2	OSCTS1	OSCTS0
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-4	保留	
3-0	OSCTS[3:0]	OSCTS 振荡稳定时间选择 0000: 2 ⁸ /fsys 0001: 2 ⁹ /fsys 0010: 2 ¹⁰ /fsys 0011: 2 ¹¹ /fsys 0100: 2 ¹² /fsys 0101: 2 ¹³ /fsys 0110: 2 ¹⁴ /fsys 1011: 2 ¹⁵ /fsys 1000: 2 ¹⁶ /fsys 1001: 2 ¹⁷ /fsys



		1010: 2 ¹⁸ /fsys 其他: 2 ¹⁸ /fsys
--	--	--

表 5.4.4 CKCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LXTF	LIRCF	HXTF	HIRCF	—	—	CKCR1	CKCR0
R/W	R	R	R	R	—	—	R/W	R/W
POR	0	0	0	1	0	0	0	0

位	字段	描述
7	LXTF	LXT 作为系统时钟标志位 1: LXT 为系统时钟源
6	LIRCF	LIRC 作为系统时钟标志位 1: LIRC 为系统时钟源
5	HXTF	HXT 作为系统时钟标志位 1: HXT 为系统时钟源
4	HIRCF	HIRC 作为系统时钟标志位 1: HIRC 为系统时钟源
3-2	保留	
1-0	CKCR[1:0]	00: HIRC 振荡器时钟源 01: HXT 作为系统时钟 10: LIRC 振荡器时钟源 11: LXT 时钟源

注:

- 1、上电复位后，HIRC 为系统默认的时钟源。当不同的时钟源切换时，必须在程序继续执行前提供一个振荡器稳定时延。
- 2、该组寄存器具有密钥保护，需往 KEYCODE 寄存器中依次写入：0x3C、0x02、0xA0 后才能解除写保护



6 复位

6.1 特性

电路的复位源有以下六种类型：

- POR 上电复位
- 看门狗溢出复位
- LVR 复位
- 外部端口复位
- 软件复位
- RAM 校验错误复位

上述复位除 POR 复位为一直有效，看门狗复位、LVR 复位、外部端口复位（P52）需通过程序设置。

6.2 功能框图

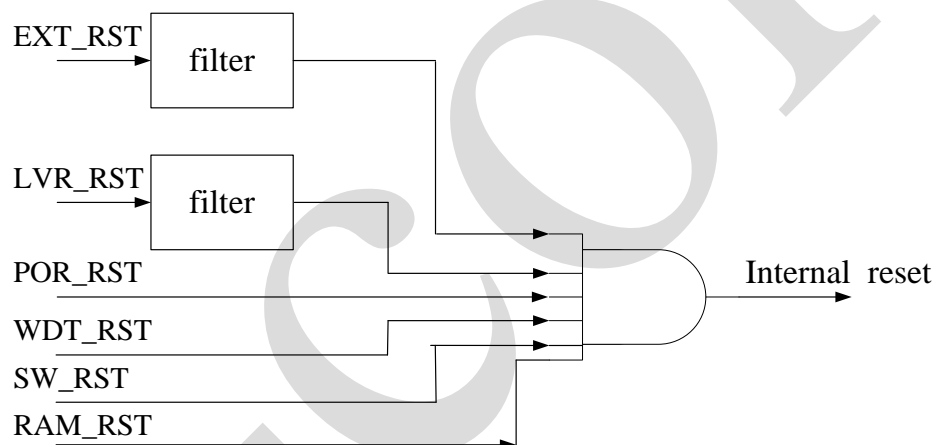


图 6.2.1 系统复位框图

6.3 寄存器列表

表 6.3.1 复位寄存器列表

寄存器名称	地址	描述	初始值
RSTFR	F1H	RSTFR 复位标志位寄存器	80H



6.4 寄存器说明

表 6.4.1 RSTFR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PORF	EXTF	WDTF	LVRF	SWRF-	RAMRF-	—	—
R/W	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	—	—
POR	1	0	0	0	0	0	0	0

位	字段	描述
7	PORF	上电复位标志位，软件写“1”清零，写“0”无影响 0：上电复位标志无效 1：上电复位标志有效
6	EXTF	外部复位标志位，软件写“1”清零，写“0”无影响 0：外部复位标志无效 1：外部复位标志有效
5	WDTF	看门狗复位标志位，软件写“1”清零，写“0”无影响 0：看门狗复位标志无效 1：看门狗复位标志有效
4	LVRF	低压复位标志位，软件写“1”清零，写“0”无影响 0：低压复位标志无效 1：低压复位标志有效
3	SWRF	软件复位标志位，软件写“1”清零，写“0”无影响 0：软件复位标志无效 1：软件复位标志有效
2	RAMRF	RAM 校验错误复位标志位，软件写“1”清零，写“0”无影响 0：RAM 校验错误复位标志无效 1：RAM 校验错误复位标志有效

注：

- 1、上电复位发生时，只有 PORF 置“1”，其他标志位都清零
- 2、除 POR 之外的复位发生时，相应的标志位置“1”，其他标志位保持先前值。



7 工作模式

7.1 特性

- 普通模式：所有模块均可运行。
- 空闲模式：内核停止工作，外设可正常运行。
- 停止模式：所有模块停止运行。

表 7.1.1 工作模式说明表

外围	空闲模式	停止模式
内核	停止运行	停止运行
RAM	保持	保持
WDT	继续工作	运行时钟非系统时钟时可继续工作； 否则停止
WT	继续工作	运行时钟非系统时钟时可继续工作； 否则停止
定时器 0~4	继续工作	停止
定时器 5	继续工作	停止
ADC	继续工作	停止
内部高速振荡 HIRC	继续运行	作为系统时钟时停止；否则继续运行
内部低速振荡 LIRC	继续运行	作为系统时钟时停止；否则继续运行
端口 P0/P1/P2/P3/P4/P5/P6/P7	保持	保持
唤醒源	复位 (除软件复位) 所有中断 (除停振检测中断)	复位 所有外部中断 WT 定时唤醒 WDT 定时唤醒 UART0/1/2 数据输入端口低电平

7.2 寄存器列表

表 7.2.1 PCON 寄存器

寄存器名称	地址	描述	初值
SYSCR1	F2H	系统控制寄存器 1	FFH
SYSCR2	F3H	系统控制寄存器 2	FFH
SYSCR3	41D2H	系统控制寄存器 3	FFH
SYSCR	F4H	系统控制寄存器	00H
SFRSAFECR	41D1H	SFR 安全保护寄存器	FFH
PCON	87H	工作模式控制寄存器	00H



7.3 寄存器说明

表 7.3.1 SYSCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCLK_EN	TOUCHCLK_EN	SPICLK_EN	I2C0CLK_EN	CRCCLK_EN	WDTCLK_EN	WTCLK_EN	I2C1CLK_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7	ADCLK_EN	ADC 门控时钟使能 0: 禁止 1: 使能
6	TOUCHCLK_EN	TOUCH 门控时钟使能 0: 禁止 1: 使能
5	SPICLK_EN	SPI 门控时钟使能 0: 禁止 1: 使能
4	I2C0CLK_EN	I2C0 门控时钟使能 0: 禁止 1: 使能
3	CRCCLK_EN	CRC 门控时钟使能 0: 禁止 1: 使能
2	WDTCLK_EN	WDT 门控时钟使能 0: 禁止 1: 使能
1	WTCLK_EN	WT 门控时钟使能 0: 禁止 1: 使能
0	I2C1CLK_EN	I2C1 门控时钟使能 0: 禁止 1: 使能

注:

该组寄存器具有密钥保护, 需往 KEYCODE 寄存器中依次写入: 0x3C、0x02、0xA0 后才能解除写保护



表 7.3.2 SYSCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDUCLK_EN	UART0CLK_EN	UART1CLK_EN	UART2CLK_EN	T5CLK_EN	T2CLK_EN	T1CLK_EN	T0CLK_EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7	MDUCLK_EN	MDU 门控时钟使能 0: 禁止 1: 使能
6	UART0CLK_EN	UART0 门控时钟使能 0: 禁止 1: 使能
5	UART1CLK_EN	UART1 门控时钟使能 0: 禁止 1: 使能
4	UART2CLK_EN	UART2 门控时钟使能 0: 禁止 1: 使能
3	T5CLK_EN	TMR5 门控时钟使能 0: 禁止 1: 使能
2	T2CLK_EN	TMR2 门控时钟使能 0: 禁止 1: 使能
1	T1CLK_EN	TMR1 门控时钟使能 0: 禁止 1: 使能
0	T0CLK_EN	TMR0 门控时钟使能 0: 禁止 1: 使能

注:

该组寄存器具有秘钥保护, 需往 KEYCODE 寄存器中依次写入: 0x3C、0x02、0xA0 后才能解除写保护



表 7.3.3 SYSCR3 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	LCDCLK_EN	LEDCLK_EN	T4CLK_EN	T3CLK_EN
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-4	保留	
3	LCDCLK_EN	LCD 门控时钟使能 0: 禁止 1: 使能
2	LEDCLK_EN	LED 门控时钟使能 0: 禁止 1: 使能
1	T4CLK_EN	TMR4 门控时钟使能 0: 禁止 1: 使能
0	T3CLK_EN	TMR3 门控时钟使能 0: 禁止 1: 使能

注:

该组寄存器具有密钥保护, 需往 KEYCODE 寄存器中依次写入: 0x3C、0x02、0xA0 后才能解除写保护



表 7.3.4 SYSCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	FWKTIME[3:0]			
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-4	保留	
3-0	FWKTIME[3:0]	唤醒时间选择位 0000: 唤醒时间=主时钟周期×(128+2) 0001: 唤醒时间=主时钟周期×(128+4) 0010: 唤醒时间=主时钟周期×(128+8) 0011: 唤醒时间=主时钟周期×(128+16) 0100: 唤醒时间=主时钟周期×(128+32) 0101: 唤醒时间=主时钟周期×(128+64) 0110: 唤醒时间=主时钟周期×(128+128) 0111: 唤醒时间=主时钟周期×(128+256) 1000: 唤醒时间=主时钟周期×(128+512) 1001: 唤醒时间=主时钟周期×(128+1024) 1010: 唤醒时间=主时钟周期×(128+2048) 1011: 唤醒时间=主时钟周期×(128+4096) 1100: 唤醒时间=主时钟周期×(128+8192) 1101: 唤醒时间=主时钟周期×(128+16384) 1110: 唤醒时间=主时钟周期×(128+32768) 1111: 唤醒时间=主时钟周期×(128+65535)

表 7.3.5 PCON 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	STOP	IDLE
R/W	—	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-2	保留	
1	STOP	STOP 模式控制位 0: STOP 模式关闭 1: STOP 模式使能
0	IDLE	IDLE 模式控制位 0: IDLE 模式关闭 1: IDLE 模式使能



表 7.3.6 SFRSAFECCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	LVDRS	XRAMRS	PORTRS	INTRS	CLKRS
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-5	保留	
4	LVDRS	LVDLVR 寄存器写保护 (LVRCR、LVDCR) 0: 禁止写 LVDLVR 寄存器 1: 使能写 LVDLVR 寄存器
3	XRAMRS	XRAM 写保护 0: 禁止写 XRAM 1: 使能写 XRAM
2	PORTRS	端口寄存器写保护 (PnIO、PnPU、PnDC、ADANn、SLEDC) 0: 禁止写端口寄存器 1: 使能写端口寄存器
1	INTRS	中断寄存器写保护 (IEN0、IEN1、IEN2、IEN3、IP0、IP1) 0: 禁止写中断寄存器 1: 使能写中断寄存器
0	CLKRS	时钟寄存器写保护 (OSCCR1、OSCCR、OSCTS) 0: 禁止写时钟寄存器 1: 使能写时钟寄存器



8 中断

8.1 特性

AiP8F3564 有 22 个内部中断源，每个中断源有 4 个优先等级。每个中断源在 SFR 中有一个中断标志位，满足中断触发条件时，相应的中断标志被置起。中断控制器具有以下特点：

- 22 个中断源。
- 可配置 4 级中断优先级
- 各中断可通过中断总使能 EA 和各子中断使能控制

某些中断标志在内核进入中断服务程序（ISR）时被自动清除，但大多数中断标志不是由硬件清除的，必须在中断服务程序返回前用软件清除。如果一个中断标志在内核执行完中断返回（RETI）指令后仍然保持置位状态，则会立即产生一个新的中断请求，内核将在执行完下一条指令后再次进入该 ISR。

8.2 中断源和中断向量

表 8.2.1 中断向量说明表

中断源	向量地址	向量号	中断标志	标志位清除
复位	0x0000	N/A	N/A	N/A
外部中断 0	0x0003	0	IEX0	Software (cleared by 0)
外部中断 1	0x000B	1	IEX1	Software (cleared by 0)
外部中断 2	0x0013	2	IEX2	Software (cleared by 0)
外部中断 3	0x001B	3	IEX3	Software (cleared by 0)
外部中断 4	0x0023	4	IF4x	Software (cleared by 0)
外部中断 5	0x002B	5	IF5x	Software (cleared by 0)
OSC 停振检测中断	0x0033	6	OSCDECIFR	Software (cleared by 0)
LVD 中断	0x003B	7	LVDIF	Software (cleared by 0)
I2C0 中断	0x0043	8	I2C0IF	Hardware Or Software (cleared by 0)
UART0/1/2 中断	0x004B	9	TXE TC RXNE WAKE	Software (cleared by 0)
TOUCH 中断	0x0053	10	CCTOVF	Software



				(cleared by 0)
定时器 0 中断	0x005B	11	T0CF T0OK	Software (cleared by 0)
定时器 1 中断	0x0063	12	T1CF T1OK	Software (cleared by 0)
定时器 2 中断	0x006B	13	T2CF T2OK	Software (cleared by 0)
定时器 5 中断	0x0073	14	T5CF	Software (cleared by 0)
归类 1 中断 ADC/SPI 中断	0x007B	15	ADCIFR SPIIFR	Software (cleared by 0)
归类 2 中断 WT/WDT 中断	0x0083	16	WTIFR WDTF	Software (cleared by 0)
归类 3 中断 MDU/LED 中断	0x008B	17	MACOF LEDIF COMIF	Software (cleared by 0)
定时器 3 中断	0x0093	18	T3CF T3OK	Software (cleared by 0)
定时器 4 中断	0x009B	19	T4CF T4OK	Software (cleared by 0)
I2C1 中断	0x00A3	20	I2C1IF	Hardware Or Software (cleared by 0)
自编程超时中断	0x00AB	21	IAPTOIFR	Software (cleared by 0)

8.3 中断优先级

每组中断都可以被独立设置为四个优先级中的一个，每组中断可以通过中断优先级寄存器配置为 4 个中断优先级。level 3 优先级最高，level 0 优先级最低，复位后 IP0 和 IP1 被清除为“00H”。每个中断在 SFR（IP0、IP1）中都有一个配置其优先级的配置位，缺省值为最低优先级，且低优先级的中断可以被高优先级的中断打断。如果两个中断同时发生，具有高优先级的中断先响应；如果这两个中断的优先级相同，则由固定的优先级顺序决定哪一个中断先响应。

表 8.3.1 中断组优先级

优先组	Highest	→		Lowest	
0	外部中断 0	OSC	定时器 1 中断	定时器 3 中断	Highest
1	外部中断 1	LVD 中断	定时器 2 中断	定时器 4 中断	↓
2	外部中断 2	I2C0 中断	定时器 5 中断	I2C1 中断	
3	外部中断 3	UART0/1/2 中断	归类 1 中断	归类 1 中断	
4	外部中断 4	TOUCH 中断	归类 2 中断	保留	
5	外部中断 5	定时器 0 中断	归类 3 中断	保留	Lowest

注：同一组中断，若同时触发中断，则响应优先级高的中断；若已经有一个中断被响应，则其它中断将不



再会被响应，即使优先级较高的中断也无法打断正在执行的中断服务程序，等待当前中断执行结束后才能响应其它中断。

表 8.3.2 中断优先级说明

位	组			
IP1.0, IP0.0	外部中断 0	OSC	定时器 1 中断	定时器 3 中断
IP1.1, IP0.1	外部中断 1	LVD 中断	定时器 2 中断	定时器 4 中断
IP1.2, IP0.2	外部中断 2	I2C0 中断	定时器 5 中断	I2C1 中断
IP1.3, IP0.3	外部中断 3	UART0/1/2 中断	归类 1 中断	IAP 中断
IP1.4, IP0.4	外部中断 4	TOUCH 中断	归类 2 中断	保留
IP1.5, IP0.5	外部中断 5	定时器 0 中断	归类 3 中断	保留

8.4 寄存器列表

表 8.4.1 中断寄存器列表

寄存器名称	地址	描述	初始值
IP0	B8H	中断优先级控制寄存器 0	00H
IP1	F8H	中断优先级控制寄存器 1	00H
IE0	A8H	中断使能寄存器 0	00H
IE1	A9H	中断使能寄存器 1	00H
IE2	AAH	中断使能寄存器 2	00H
IE3	94H	中断使能寄存器 3	00H
EIFLAG0	C0H	外部中断标志 0 寄存器	00H
EIFLAG1	B7H	外部中断标志 4 寄存器	00H
EIFLAG2	8CH	外部中断标志 5 寄存器	00H
EIPOL0	4118H	外部中断触发控制寄存器 0	00H
EIPOL1	4119H	外部中断触发控制寄存器 1	00H
EINT4SEL	411AH	外部中断 4 输入端口选择寄存器	00H
EINT5SEL	411BH	外部中断 5 输入端口选择寄存器	00H

8.5 寄存器说明

表 8.5.1 IP0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	IP0.5	IP0.4	IP0.3	IP0.2	IP0.1	IP0.0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0



表 8.5.2 IP1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	IP1.5	IP1.4	IP1.3	IP1.2	IP1.1	IP1.0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述		
5-0	IP1[5: 0]	IP1.x	IP0.x	说明
		0	0	Level0 (lowest)
		0	1	Level1
		1	0	Level2
		1	1	Level3 (highest)

表 8.5.3 IE0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EA	INT6E	EINT5E	EINT4E	EINT3E	EINT2E	EINT1E	EINT0E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	EA	打开或关闭所有中断 0: 除能 1: 使能
6	INT6E	OSC 停振检测中断 0: 除能 1: 使能
5	EINT5E	外部中断 5 使能控制 0: 除能 1: 使能
4	EINT4E	外部中断 4 使能控制 0: 除能 1: 使能
3	EINT3E	外部中断 3 使能控制 0: 除能 1: 使能
2	EINT2E	外部中断 2 使能控制 0: 除能 1: 使能
1	EINT1E	外部中断 1 使能控制 0: 除能 1: 使能
0	EINT0E	外部中断 0 使能控制 0: 除能 1: 使能



表 8.5.4 IE1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	INT13E	INT12E	INT11E	INT10E	INT9E	INT8E	INT7E	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	INT13E	定时器 T2 中断使能控制 0: 除能 1: 使能
6	INT12E	定时器 T1 中断使能控制 0: 除能 1: 使能
5	INT11E	定时器 T0 中断使能控制 0: 除能 1: 使能
4	INT10E	触摸中断使能控制 0: 除能 1: 使能
3	INT9E	UART0/1/2 中断使能控制 0: 除能 1: 使能
2	INT8E	I2C0 中断使能控制 0: 除能 1: 使能
1	INT7E	LVD 中断使能控制 0: 除能 1: 使能

表 8.5.5 IE2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	INT21E	INT20E	INT19E	INT18E	INT17E	INT16E	INT15E	INT14E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	INT21E	自编程超时中断使能控制 0: 除能 1: 使能
6	INT20E	I2C1 中断使能控制 0: 除能 1: 使能
5	INT19E	TMR4 中断使能控制 0: 除能 1: 使能
4	INT18E	TMR3 中断使能控制 0: 除能 1: 使能



3	INT17E	归类 3 中断使能控制 0: 除能 1: 使能
2	INT16E	归类 2 中断使能控制 0: 除能 1: 使能
1	INT15E	归类 1 中断使能控制 0: 除能 1: 使能
0	INT14E	TMR5 中断使能控制 0: 除能 1: 使能

表 8.5.6 EIFLAG0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	IEX3	IEX2	IEX1	IEX0
R/W	—	—	—	—	R/W0	R/W0	R/W0	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
3	IEX3	外部中断 3 中断标志位, 软件写“0”清零 0: 无中断请求 1: 产生中断请求
2	IEX2	外部中断 2 中断标志位, 软件写“0”清零 0: 无中断请求 1: 产生中断请求
1	IEX1	外部中断 1 中断标志位, 软件写“0”清零 0: 无中断请求 1: 产生中断请求
0	IEX0	外部中断 0 中断标志位, 软件写“0”清零 0: 无中断请求 1: 产生中断请求

表 8.5.7 EIFLAG1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	IF47	IF46	IF45	IF44	IF43	IF42	IF41	IF40
R/W	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	IF4[7:0]	外部中断 4 标志位(x=7~0), 软件写 0 清“0” 0: 无中断请求 1: 产生中断请求



表 8.5.8 EIFLAG2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	IF57	IF56	IF55	IF54	IF53	IF52	IF51	IF50
R/W	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	IF5[7: 0]	外部中断 5 标志位(x=7~0)，软件写 0 清 0 0：无中断请求 1：产生中断请求

表 8.5.9 EIPOL0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EIPOL03		EIPOL02		EIPOL01		EIPOL00	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	EIPOL03	外部中断 3 边沿选择位 00：任何边沿不产生中断 01：上升沿触发 10：下降沿触发 11：双边沿触发
5-4	EIPOL02	外部中断 2 边沿选择位 00：任何边沿不产生中断 01：上升沿触发 10：下降沿触发 11：双边沿触发
3-2	EIPOL01	外部中断 1 边沿选择位 00：任何边沿不产生中断 01：上升沿触发 10：下降沿触发 11：双边沿触发
1-0	EIPOL00	外部中断 0 边沿选择位 00：任何边沿不产生中断 01：上升沿触发 10：下降沿触发 11：双边沿触发



表 8.5.10 EIPOL1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	EIPOL05		EIPOL04	
R/W	—	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
3-2	EIPOL05	外部中断 5 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发
1-0	EIPOL04	外部中断 4 边沿选择位 00: 任何边沿不产生中断 01: 上升沿触发 10: 下降沿触发 11: 双边沿触发

注：外部中断 5、4 各中断源采用同一触发方式。

表 8.5.11 EINT5SEL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EINT5 SEL7	EINT5 SEL6	EINT5 SEL5	EINT5 SEL4	EINT5 SEL3	EINT5 SEL2	EINT5 SEL1	EINT5 SEL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	EINT5SEL[7:0]	外部中断 5 通道选择位(n=7~0)，软件写 0 清“0” 0: 禁止外部中断 5 输入通道 1: 使能外部中断 5 输入通道

表 8.5.12 EINT4SEL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	EINT4 SEL7	EINT4 SEL6	EINT4 SEL5	EINT4 SEL4	EINT4 SEL3	EINT4 SEL2	EINT4 SEL1	EINT4 SEL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	EINT4SEL[7:0]	外部中断 4 通道选择位(n=7~0)，软件写 0 清“0” 0: 禁止外部中断 4 输入通道 1: 使能外部中断 4 输入通道



9 GPIO

9.1 特性

AiP8F3564 有 8 组 I/O 口（P0、P1、P2、P3、P4、P5、P6、P7）。通过软件设置可以把每个口配置为 I/O 口、内部上拉或漏极开路以匹配不同的系统结构和设计要求。

向端口写入时，数据被锁存到端口数据寄存器中，以保持引脚上的输出数据值不变。读端口数据寄存器总是返回端口输入引脚的逻辑状态，端口寄存器总是读其对应的端口 I/O 引脚）。但在对端口 SFR 执行下面的读-修改-写指令（ANL、ORL、XRL、JBC、CPL、INC、DEC、DJNZ）和对端口 SFR 中的某一位执行 MOV、CLR、SETB 期间例外。这些指令读端口寄存器（而不是引脚）的值，修改后再写回端口 SFR。

9.2 寄存器列表

表 9.2.1 端口寄存器列表

寄存器名称	地址	描述	初值
P0	80H	P0 数据寄存器	FFH
P1	90H	P1 数据寄存器	FFH
P2	A0H	P2 数据寄存器	FFH
P3	B0H	P3 数据寄存器	FFH
P4	88H	P4 数据寄存器	FFH
P5	98H	P5 数据寄存器	FFH
P6	D8H	P6 数据寄存器	FFH
P7	E8H	P7 数据寄存器	FFH
P0IO	95H	P0 方向寄存器	00H
P1IO	96H	P1 方向寄存器	00H
P2IO	97H	P2 方向寄存器	00H
P3IO	9FH	P3 方向寄存器	00H
P4IO	A7H	P4 方向寄存器	00H
P5IO	AFH	P5 方向寄存器	00H
P6IO	8BH	P6 方向寄存器	00H
P7IO	93H	P7 方向寄存器	00H
P0PU	40E1H	P0 上拉寄存器	00H
P1PU	40E2H	P1 上拉寄存器	00H
P2PU	40E3H	P2 上拉寄存器	00H
P3PU	40E4H	P3 上拉寄存器	00H
P4PU	40E5H	P4 上拉寄存器	00H
P5PU	40E6H	P5 上拉寄存器	00H
P6PU	40E7H	P6 上拉寄存器	00H
P7PU	40E8H	P7 上拉寄存器	00H
P0DB	40F1H	P0 数字滤波控制寄存器	00H
P1DB	40F2H	P1 数字滤波控制寄存器	00H



P2DB	40F3H	P2 数字滤波控制寄存器	00H
P3DB	40F4H	P3 数字滤波控制寄存器	00H
P4DB	40F5H	P4 数字滤波控制寄存器	00H
P5DB	40F6H	P5 数字滤波控制寄存器	00H
P6DB	40F7H	P6 数字滤波控制寄存器	00H
P7DB	40F8H	P7 数字滤波控制寄存器	00H
P0OD	40E9H	P0 开漏输出控制寄存器	00H
P1OD	40EAH	P1 开漏输出控制寄存器	00H
P2OD	40EBH	P2 开漏输出控制寄存器	00H
P3OD	40ECH	P3 开漏输出控制寄存器	00H
P4OD	40EDH	P4 开漏输出控制寄存器	00H
P5OD	40EEH	P5 开漏输出控制寄存器	00H
P6OD	40EFH	P6 开漏输出控制寄存器	00H
P7OD	40F0H	P7 开漏输出控制寄存器	00H
ADAN0	4150H	AD 模拟输入端口使能控制寄存器 0	00H
ADAN1	4151H	AD 模拟输入端口使能控制寄存器 1	00H
ADAN2	4152H	AD 模拟输入端口使能控制寄存器 2	00H
ADAN3	4153H	AD 模拟输入端口使能控制寄存器 3	00H
LCMCR0	415AH	端口控制寄存器 0	00H
LCMCR1	415BH	端口控制寄存器 1	00H
LCMCR2	415CH	端口控制寄存器 2	00H
LCMCR3	415EH	端口控制寄存器 3	00H
SLEDC	4144H	驱动电流选择寄存器	03H
P0DC	4145H	P0 驱动电流使能寄存器	00H
P1DC	4146H	P1 驱动电流使能寄存器	00H
P2DC	4147H	P2 驱动电流使能寄存器	00H
P3DC	4148H	P3 驱动电流使能寄存器	00H
P4DC	4149H	P4 驱动电流使能寄存器	00H
P5DC	414AH	P5 驱动电流使能寄存器	00H
P6DC	414BH	P6 驱动电流使能寄存器	00H
P7DC	414CH	P7 驱动电流使能寄存器	00H

9.3 寄存器说明

表 9.3.1 Pn 数据寄存器(n=0、1、2、3、4、5、6、7)

Bit	7	6	5	4	3	2	1	0
Name	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

注：P7 端口只有 P70~P75



表 9.3.2 PnIO 方向寄存器(n=0、1、2、3、4、5、6、7)

Bit	7	6	5	4	3	2	1	0
Name	Pn7IO	Pn6IO	Pn5IO	Pn4IO	Pn3IO	Pn2IO	Pn1IO	Pn0IO
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	Pn[7:0]IO	Pn[7:0]口 I/O 方向 0: 输入 1: 输出

注: P7 端口只有 P70~P75

表 9.3.3 PnPU 上拉寄存器(n=0、1、2、3、4、5、6、7)

Bit	7	6	5	4	3	2	1	0
Name	Pn7PU	Pn6PU	Pn5PU	Pn4PU	Pn3PU	Pn2PU	Pn1PU	Pn0PU
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	Pn[7:0]PU	Pn[7:0]口上拉电阻 0: 禁止 1: 使能

注: P7 端口只有 P70~P75

表 9.3.4 PnDB 消抖使能寄存器(n=0、1、2、3、4、5、6、7)

Bit	7	6	5	4	3	2	1	0
Name	Pn7DB	Pn6DB	Pn5DB	Pn4DB	Pn3DB	Pn2DB	Pn1DB	Pn0DB
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	Pn[7:0]DB	Pn[7:0]消抖使能 0: 禁止 1: 使能

注: P7 端口只有 P70~P75



表 9.3.5 PnOD 开漏输出控制寄存器(n=0、1、2、3、4、5、6、7)

Bit	7	6	5	4	3	2	1	0
Name	Pn7OD	Pn6OD	Pn5OD	Pn4OD	Pn3OD	Pn2OD	Pn1OD	Pn0OD
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	Pn[7:0]OD	Pn[7:0]开漏输出使能 0: 禁止 1: 使能

注：P7 端口只有 P70~P75

表 9.3.6 ADAN0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位(n=7~0) 0: 作为 I/O 1: 作为 ANn(n=7~0)

表 9.3.7 ADAN1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN15	AN14	AN13	AN12	AN11	AN10	AN9	AN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位(n=15~8) 0: 作为 I/O 1: 作为 ANn(n=15~8)



表 9.3.8 ADAN2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN23	AN22	AN21	AN20	AN19	AN18	AN17	AN16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位(n=23~16) 0: 作为 I/O 1: 作为 ANn(n=23~16)

表 9.3.9 ADAN3 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN31	-	-	AN28	AN27	AN26	AN25	AN24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位 0: 作为 I/O 1: 作为 ANn

表 9.3.10 LCMCR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SCL0CR1	SCL0CR0	SDA0CR1	SDA0CR0	PWM0CR	PWM1CR	PWM2CR	TC0CR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	SCLCR[1:0]	I2C0 模块 SCL 引脚配置位 00: SCL 映射到 P41(默认) 01: SCL 映射到 P20 10: SCL 映射到 P26 11: SCL 映射到 P45
5-4	SDACR[1:0]	I2C0 模块 SDA 引脚配置位 00: SDA 映射到 P40(默认) 01: SDA 映射到 P21 10: SDA 映射到 P27 11: SDA 映射到 P44
3	PWM0CR	TMRO 模块 PWM0 引脚配置位 0: PWM0 映射到 P51(默认) 1: PWM0 映射到 P22



2	PWM1CR	TMR1 模块 PWM1 引脚配置位 0: PWM1 映射到 P52(默认) 1: PWM1 映射到 P23
1	PWM2CR	TMR2 模块 PWM2 引脚配置位 0: PWM2 映射到 P53(默认) 1: PWM2 映射到 P24
0	TC0CR	TMR0 模块 TC0 引脚配置位 0: TC0 映射到 P25(默认) 1: TC0 映射到 P51

表 9.3.11 LCMCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TC1CR	TC2CR	RX1CR0	TX1CR0	RX2CR	TX2CR	TX0CR	RX0CR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TC1CR	TMR1 模块 TC1 引脚配置位 0: TC1 映射到 P26(默认) 1: TC1 映射到 P52
6	TC2CR	TMR2 模块 TC2 引脚配置位 0: TC2 映射到 P27(默认) 1: TC2 映射到 P53
5	RX1CR[1:0]	UART1 模块 RX1 引脚配置位 (配合 LCMCR2 寄存器选择 RX1CR1 使用) 00: RX1 映射到 P26(默认) 01: RX1 映射到 P45 10: RX1 映射到 P60 11: RX1 映射到 P22
4	TX1CR[1:0]	UART1 模块 TX1 引脚配置位 (配合 LCMCR2 寄存器选择 TX1CR1 使用) 00: TX1 映射到 P27(默认) 01: TX1 映射到 P44 10: TX1 映射到 P61 11: TX1 映射到 P23
3	RX2CR	UART2 模块 RX2 引脚配置位 (配合 LCMCR5 寄存器使用) 0: RX2 映射到 P00(默认) 1: RX2 映射到 P41
2	TX2CR	UART2 模块 TX2 引脚配置位 (配合 LCMCR5 寄存器使用) 0: TX2 映射到 P01(默认) 1: TX2 映射到 P40
1	TX0CR	UART0 模块 TX0 引脚配置位 0: TX0 映射到 P21(默认) 1: TX0 映射到 P17



0	RX0CR	UART0 模块 RX0 引脚配置位 0: RX0 映射到 P20(默认) 1: RX0 映射到 P16
---	-------	--

表 9.3.12 LCMCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PWMFCR	PWMECR	PWMDCR	PWMCCR	PWMBCR	PWMACR	RX1CR1	TX1CR1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	PWMFCR	TMR5 模块通道 6 引脚配置位 (配合 LCMCR5 寄存器使用) 0: PWMF 映射到 P05(默认) 1: PWMF 映射到 P40
6	PWMECR	TMR5 模块通道 5 引脚配置位 (配合 LCMCR5 寄存器使用) 0: PWME 映射到 P04(默认) 1: PWME 映射到 P41
5	PWMDCR	TMR5 模块通道 4 引脚配置位 (配合 LCMCR5 寄存器使用) 0: PWMD 映射到 P03(默认) 1: PWMD 映射到 P42
4	PWMCCR	TMR5 模块通道 3 引脚配置位 (配合 LCMCR5 寄存器使用) 0: PWMC 映射到 P02(默认) 1: PWMC 映射到 P43
3	PWMBCR	TMR5 模块通道 2 引脚配置位 (配合 LCMCR5 寄存器使用) 0: PWMB 映射到 P01(默认) 1: PWMB 映射到 P44
2	PWMACR	TMR5 模块通道 1 引脚配置位 (配合 LCMCR5 寄存器使用) 0: PWMB 映射到 P00(默认) 1: PWMB 映射到 P45
1	RX1CR[1:0]	UART1 模块 RX1 引脚配置位 (配合 LCMCR1 寄存器选择 RX1CR0 使用) 00: RX1 映射到 P26(默认) 01: RX1 映射到 P45 10: RX1 映射到 P60 11: RX1 映射到 P22
0	TX1CR[1:0]	UART1 模块 TX1 引脚配置位 (配合 LCMCR1 寄存器选择 TX1CR0 使用) 00: TX1 映射到 P27(默认) 01: TX1 映射到 P44 10: TX1 映射到 P61 11: TX1 映射到 P23



表 9.3.13 LCMCR3 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SCL1CR	SDA1CR	TC4CR	TC3CR	EINT3CR	EINT2CR	EINT1CR	EINT0CR
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	SCL1CR	I2C1 模块 SCL 引脚配置位 (I2C1) 0: SCL1 映射到 P60(默认) 1: SCL1 映射到 P70
6	SDA1CR	I2C1 模块 SDA 引脚配置位 (I2C1) 0: SDA1 映射到 P61(默认) 1: SDA1 映射到 P71
5	TC3CR	TMR3 模块 TC3 引脚配置位 0: TC3 映射到 P66(默认) 1: TC3 映射到 P55
4	TC4CR	TMR4 模块 TC4 引脚配置位 0: TC4 映射到 P67(默认) 1: TC4 映射到 P56
3	EINT3CR	外部中断 3 引脚配置位 0: EINT3 映射到 P43(默认) 1: EINT3 映射到 P63
2	EINT2CR	外部中断 2 引脚配置位 0: EINT2 映射到 P42(默认) 1: EINT2 映射到 P62
1	EINT1CR	外部中断 1 引脚配置位 0: EINT2 映射到 P41(默认) 1: EINT2 映射到 P61
0	EINT0CR	外部中断 0 引脚配置位 0: EINT2 映射到 P40(默认) 1: EINT2 映射到 P60



表 9.3.14 LCMCR4 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MOSICR 1	MOSICR 0	MISOCR 1	MISOCR 0	SCKCR1	SCKCR0	SSCR1	SSCR0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-6	MOSICR	SPI 模块 MOSI 引脚配置位 00: MOSI 映射到 P22(默认) 01: MOSI 映射到 P10 10: MOSI 映射到 P72 11: 保留
5-4	MISOCR	SPI 模块 MISO 引脚配置位 00: MISO 映射到 P23(默认) 01: MISO 映射到 P11 10: MISO 映射到 P73 11: 保留
3-2	SCKCR	SPI 模块 SCK 引脚配置位 00: SCK 映射到 P24(默认) 01: SCK 映射到 P12 10: SCK 映射到 P74 11: 保留
1-0	SSCR	SPI 模块 SS 引脚配置位 00: SS 映射到 P25(默认) 01: SS 映射到 P13 10: SS 映射到 P75 11: 保留



表 9.3.15 LCMCR5 寄存器

Bit	7	6	5	4	3	2	1	0
Name	PWMFCR1 R1	PWMECR1 R1	PWMDCR1 R1	PWMCCR1 R1	PWMBR1 R1	PWMACR1 R1	RX2CR1	TX2CR1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	PWMFCR1	TMR5 模块通道 6 引脚配置位 0: PWME 映射到 P05 或 P40(默认) 1: PWME 映射到 P65
6	PWMECR1	TMR5 模块通道 5 引脚配置位 0: PWME 映射到 P04 或 P41(默认) 1: PWME 映射到 P64
5	PWMDCR1	TMR5 模块通道 4 引脚配置位 0: PWMD 映射到 P03 或 P42(默认) 1: PWMD 映射到 P63
4	PWMCCR1	TMR5 模块通道 3 引脚配置位 0: PWMC 映射到 P02 或 P43(默认) 1: PWMC 映射到 P62
3	PWMBR1	TMR5 模块通道 2 引脚配置位 0: PWMB 映射到 P01 或 P44(默认) 1: PWMB 映射到 P61
2	PWMACR1	TMR5 模块通道 1 引脚配置位 0: PWMA 映射到 P00 或 P45(默认) 1: PWMA 映射到 P60
1	RX2CR1	UART2 模块 RX2 引脚配置位 0: RX2 映射到 P00 或 P41(默认) 1: RX2 映射到 P70
0	TX2CR1	UART2 模块 TX2 引脚配置位 0: TX2 映射到 P01 或 P40(默认) 1: TX2 映射到 P71



表 9.3.16 SLEDC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	DBCLK1	DBCLK0	—	—	—	SLEDCP SL	SLEDCP SH1	SLEDCP SH0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W
POR	0	0	0	0	0	0	1	1

位	字段	描述
7-6	DBCLK[1:0]	消抖时钟选择位 00: f_{sys} 01: $f_{sys}/4$ 10: $f_{sys}/8$ 11: $f_{sys}/4096$
5-3	保留	
2	SLEDCPSL	驱动低电平源电流选择 0: level0 (最小): 20mA 1: level1 (最大): 80mA
1-0	SLEDCPSH[1:0]	驱动高电平源电流选择 00: level0 (最小): 4mA 01: level1: 8mA 10: level2: 12mA 11: level3 (最大): 20mA

表 9.3.17 PnDC 寄存器(n=0、1、2、3、4、5、6、7)

Bit	7	6	5	4	3	2	1	0
Name	PnDC7	PnDC6	PnDC5	PnDC4	PnDC3	PnDC2	PnDC1	PnDC0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	PnDC[7:0]	Pn[7:0]口驱动电流使能 0: 禁止 1: 使能

注: P7 端口只有 P70~P75



表 9.3.18 SEGCR0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	SEG[7:0]	SEG 口模式选择位(n=7~0) 0: 作为 I/O 1: 作为 SEG(n=7~0)

注：该组寄存器复用为 LED 和 LCD 模块 SEG 模式选择控制寄存器

表 9.3.19 SEGCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	SEG[7:0]	SEG 口模式选择位(n=15~8) 0: 作为 I/O 1: 作为 SEG(n=15~8)

注：该组寄存器复用为 LED 和 LCD 模块 SEG 模式选择控制寄存器

表 9.3.20 SEGCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	SEG[7:0]	SEG 口模式选择位(n=23~16) 0: 作为 I/O 1: 作为 SEG(n=23~16)

注：该组寄存器复用为 LED 和 LCD 模块 SEG 模式选择控制寄存器



表 9.3.21 SEGCR3 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SEG35	SEG34	SEG33	SEG32	SEG31	SEG30	SEG29	SEG28
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	SEG[7:0]	SEG 口模式选择位(n=35~28) 0: 作为 I/O 1: 作为 SEG(n=35~28)

注：该组寄存器复用为 LED 和 LCD 模块 SEG 模式选择控制寄存器

表 9.3.22 COMCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	COM[7:0]	COM 口模式选择位(n=7~0) 0: 作为 I/O 1: 作为 COM(n=7~0)

注：COM7~COM4 可复用为 SEG27~SEG24，若需要开启这几个 SEG 口，则需要 COMCR 对应的寄存器使能。



10 通用定时器

10.1 特性

通用定时器为 16 位加法计数定时器，由 T0, T1, T2, T3, T4 组成。其具有 16 位定时/计数模式、捕捉模式、单脉冲和多脉冲的 PWM 模式。中断有匹配中断 TnCF 和捕捉中断 TnOK。以下出现的 Tn 代表 T0, T1, T2, T3, T4 五个通用定时器。

■ 16bit 定时/计数模式

- 内部 16bit 计数器，加法计数模式，依次加 1，计数达到 TnDR1 时产生中断 TnCF，计数器 TnCNT 清零；
- 具有内部时钟 fx 和相关分频；同时支持外部输入时钟 exclk；

■ 16bit 捕捉模式

- 可测量外部输入信号 exdata 的周期，高电平周期，低电平周期，捕捉完成后产生中断 TnOK；

■ 16bit 多脉冲 PWM 模式

- TnDR1 设置 PWM 的周期，TnDR2 设置 PWM 的占空比；

■ 16bit 单脉冲 PWM 模式

- 在 PWM 模式下，只输出单个脉冲，需要输出多个脉冲需要重新使能 PWMEN；

■ 匹配中断——TnCF

■ 捕捉中断——TnOK



10.2 功能框图

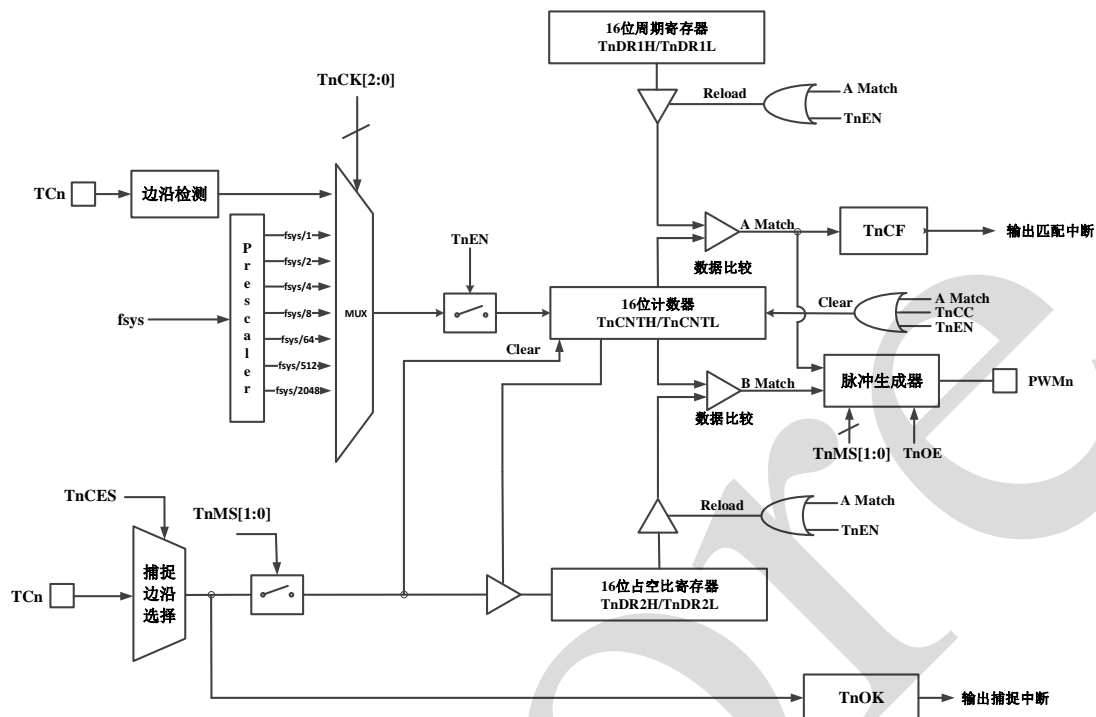


图 10.2.1 通用定时器原理框图

10.3 寄存器列表

表 10.3.1 定时器寄存器列表

寄存器名称	地址	描述	初值
TnCR1		定时器控制寄存器 1	00H
TnCR2		定时器控制寄存器 2	00H
TnDR1L		定时器周期寄存器低 8 位	FFH
TnDR1H		定时器周期寄存器高 8 位	FFH
TnDR2L		定时器占空比寄存器低 8 位	FFH
TnDR2H		定时器占空比寄存器高 8 位	FFH



10.4 寄存器说明

表 10.4.1 TnCR1(n=0~4)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnEN	PWMEN	TnMS[1:0]		TnRDEN	TnCF	TnOK	TnCC
R/W	R/W	R/W	R/W	R/W	R/W	R/W0	R/W0	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TnEN	Tn 工作使能位(n=0~4) 0: Tn 禁止工作 1: Tn 开始工作
6	PWMEN	单脉冲输出使能位 0: 单脉冲信号未输出, 计数器未开始工作 (硬件清 0) 1: 单脉冲信号可以输出, 计数器开始计数 (软件置 1)
5-4	TnMS[1:0]	定时器工作模式选择位(n=0~4) 00: 定时器/计数器模式 01: 捕捉测量模式 10: PWM 单脉冲模式 11: PWM 多脉冲模式
3	TnRDEN	定时器模式下的计数器读使能 0: 禁止 1: 使能 该位由软件置“1”, 一个系统时钟周期后自动清除
2	TnCF	定时器匹配中断(n=0~4) 0: 未发生定时器匹配中断 1: 发生定时器匹配中断 该位由硬件自动置“1”, 软件写零清除
1	TnOK	定时器捕捉完成标志位(n=0~4) 0: 定时器捕捉工作未完成 1: 定时器捕捉信号测量完成 该位由硬件自动置“1”, 软件写零清除
0	TnCC	定时器计数器软件清零控制位(n=0~4) 0: 无效 1: 清除定时器 Tn 的计数值 该位置位后一个系统时钟后自动清零



表 10.4.2 TnCR2(n=0~4)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnCK[2:0]			TnCAMS[1:0]		PWME	TnCES	TnOE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-5	TnCK[2:0]	定时器时钟分频选择位(n=0~4) 000: fsys 001: fsys/2 010: fsys/4 011: fsys/8 100: fsys/64 101: fsys/512 110: fsys/2048 111: 外部时钟 TCn(n=0~4)
4-3	TnCAMS[1:0]	捕捉模式选择位(n=0~4) 00: 测量输入信号周期 (上升沿到上升沿) 01: 测量输入信号高电平 10: 测量输入信号低电平 11: 测量输入信号周期 (下降沿到下降沿)
2	PWME	PWM 输出极性选择 0: PWM 输出波形不进行反相处理 (默认输出低电平) 1: PWM 输出波形经过反相后输出
1	TnCES	Tn 外部时钟计数边沿选择(n=0~4) 0: 外部时钟上升沿定时器/计数器计数值改变 1: 外部时钟下降沿定时器/计数器计数值改变
0	TnOE	PWM 输出使能(n=0~4) 0: 不输出 PWM 信号, 输出始终保持为 0 1: 输出 PWM 信号

表 10.4.3 TnDR1L(n=0~4)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR1L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	TnDR1L[7:0]	定时器周期寄存器低 8 位(n=0~4) 计数模式和脉冲发射模式下用于设定定时器的计数周期, 计数过程中对该寄存器写值会写入到 TnLOAD1 寄存器 (用户不可访问) 中, 等待计数匹配后再加载到 TnDR1 中。



表 10.4.4 TnDR1H(n=0~4)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR1H[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	TnDR1H[15:8]	定时器周期寄存器高 8 位(n=0~4) 计数模式和脉冲发射模式下用于设定定时器的计数周期，计数过程中对该寄存器写值会写入到 TnLOAD1 寄存器（用户不可访问）中，等待计数匹配后再加载到 TnDR1 中。

表 10.4.5 TnDR2L(n=0~4)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR2L[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	TnDR2L[7:0]	定时器占空比寄存器低 8 位(n=0~4) 计数模式下读 TnDR2L 可读到计数器低八位的值。 PWM 模式下用于设定定时器占空比的数值，计数器计数时对该寄存器的改写通过 TnLOAD2 寄存器（用户不可访问）缓存，等待当前 PWM 信号传输完成，即计数匹配后再加载至 TnDR2 中。捕捉模式下用来存放测量结果的低 8 位。

表 10.4.6 TnDR2H(n=0~4)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TnDR2H[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	TnDR2H[7:0]	定时器占空比寄存器高 8 位(n=0~4) 计数模式下读 TnDR2H 可读到计数器高八位的值。 PWM 模式下用于设定定时器占空比的数值，计数器计数时对该寄存器的改写通过 TnLOAD2 寄存器（用户不可访问）缓存，等待当前 PWM 信号传输完成，即计数匹配后再加载至 TnDR2 中。捕捉模式下用来存放测量结果的高 8 位。



10.5 功能说明

10.5.1 定时器/计数模式

它有计数寄存器和数据寄存器。计数寄存器由内部或外部时钟输入进行累加。Tn可以使用的输入时钟分频有1,2,4,8,64,512和2048。当tncnt和tndata1(TnDR1)值分别相同时，会产生一个匹配信号tncf同时产生定时器n中断tnif。tncnt值被匹配信号自动清零。也可以通过软件(TnCC)进行清零。tncf置起后需要软件清零。

外部时钟(TCn)在有效边沿开始计数。如果TCn通过TnCK[2:0]选择时钟源，TCn口需要被设置为输入状态。

该定时器同时包含重载功能。当TnEN为0，定时器处于关闭时，此时写入的计数周期值会立即加载到TnDR1周期寄存器当中，作为计数器的溢出周期；而在TnEN为1，定时器正常工作时，则会先将计数周期值存入缓存寄存器当中，等到下一次计数溢出后将缓存寄存器当中的计数周期值加载到TnDR1。

单分频时，定时模式周期= (TnDR1+1) * fsys

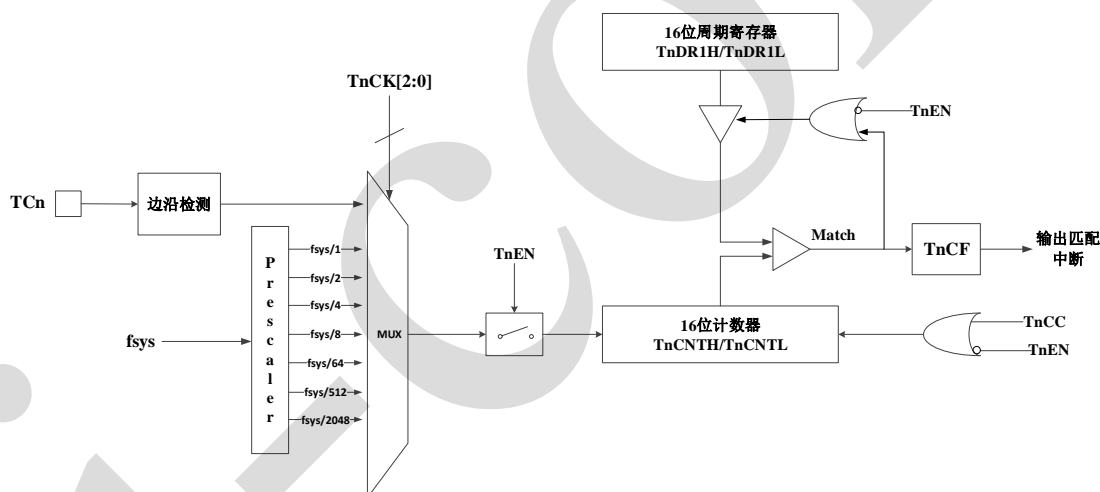


图 10.5.1 定时器/计数器框图

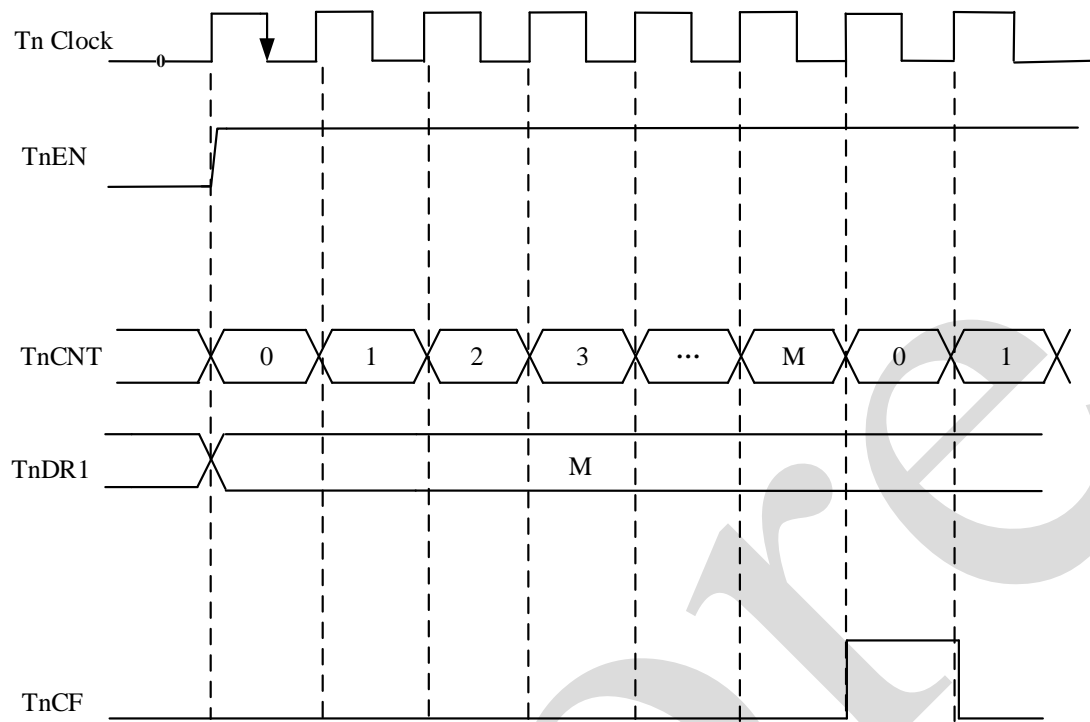


图 10.5.2 定时器/计数器时序图

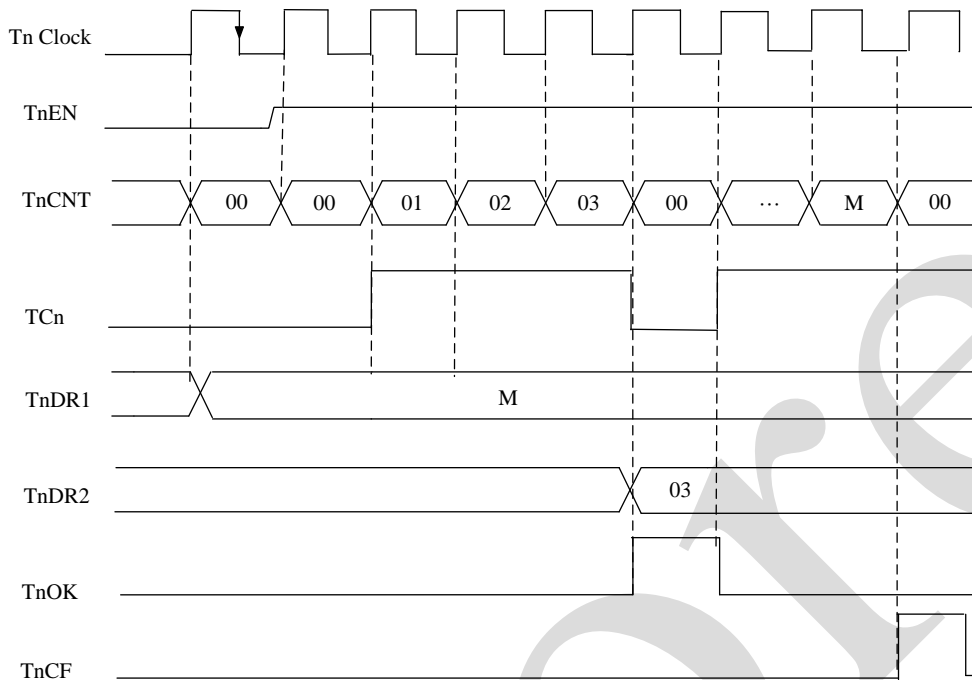


图 10.5.4 捕获模式示例（高电平）

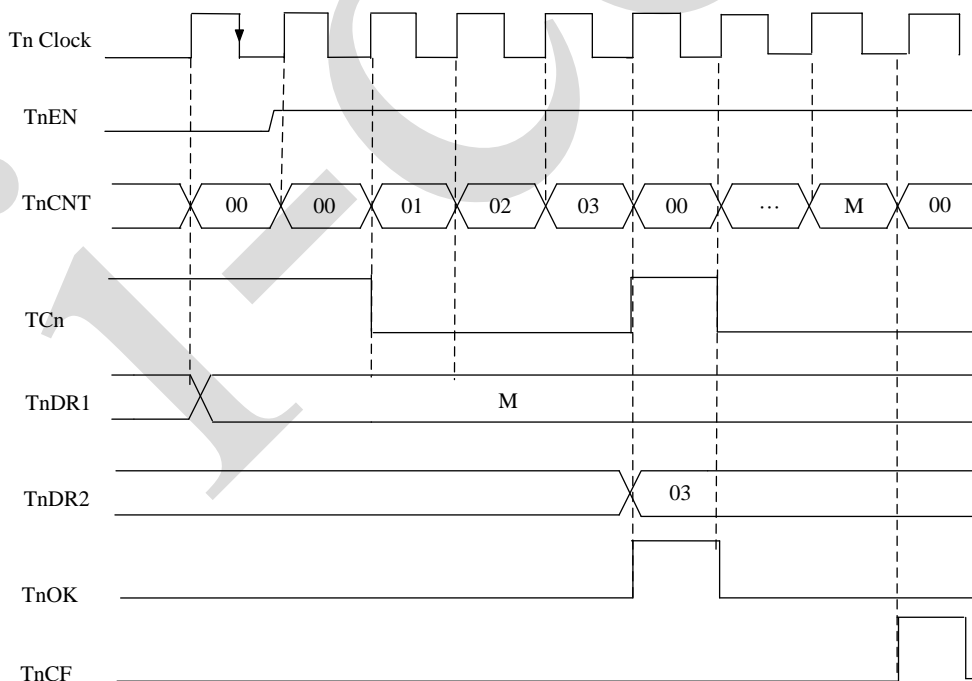


图 10.5.5 捕获模式示例（低电平）

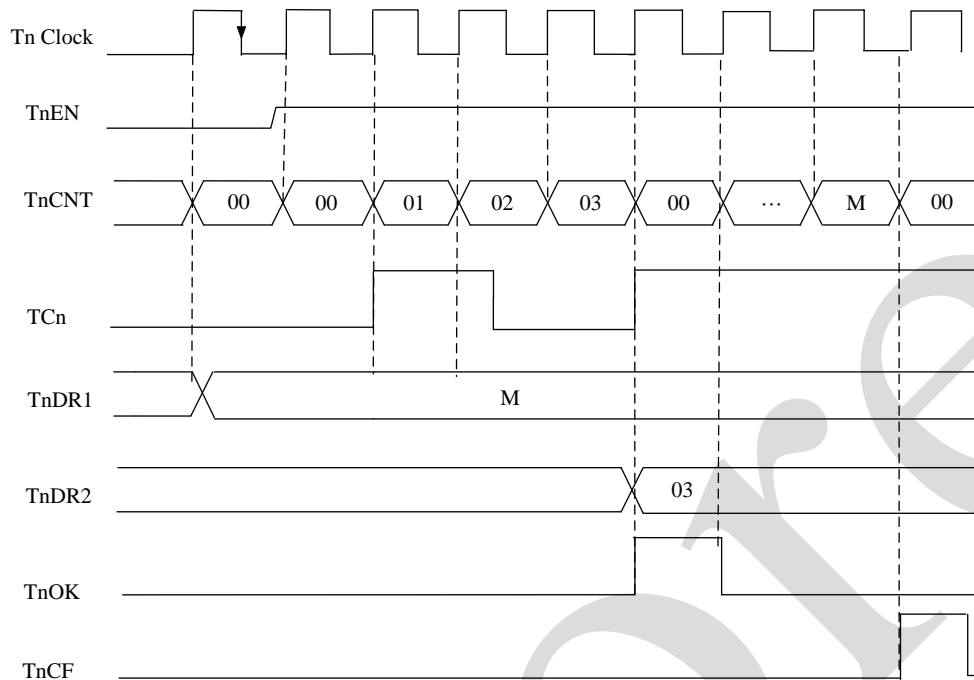


图 10.5.6 捕获模式示例（周期）



10.5.3 单脉冲 PWM 模式

在单脉冲模式独立模式下，计数器在 t_{nen} 置位且 PWM 使能 $pwmen$ 置位后开始工作，此时 PWM 波输出为高电平（不反相输出情况下）。当计数器计数值等于 $(TnDR1-1)$ 时，PWM 波输出翻转为低电平；当计数器计数值等于 $TnDR0$ 时， $PWMEN$ 位硬件复位为 0，且计数器清零并停止计数。

$$\text{PWM 周期} = (TnDR1 + 1) * f_{sys}$$

$$\text{PWM 占空比} = (TnDR2) * f_{sys};$$

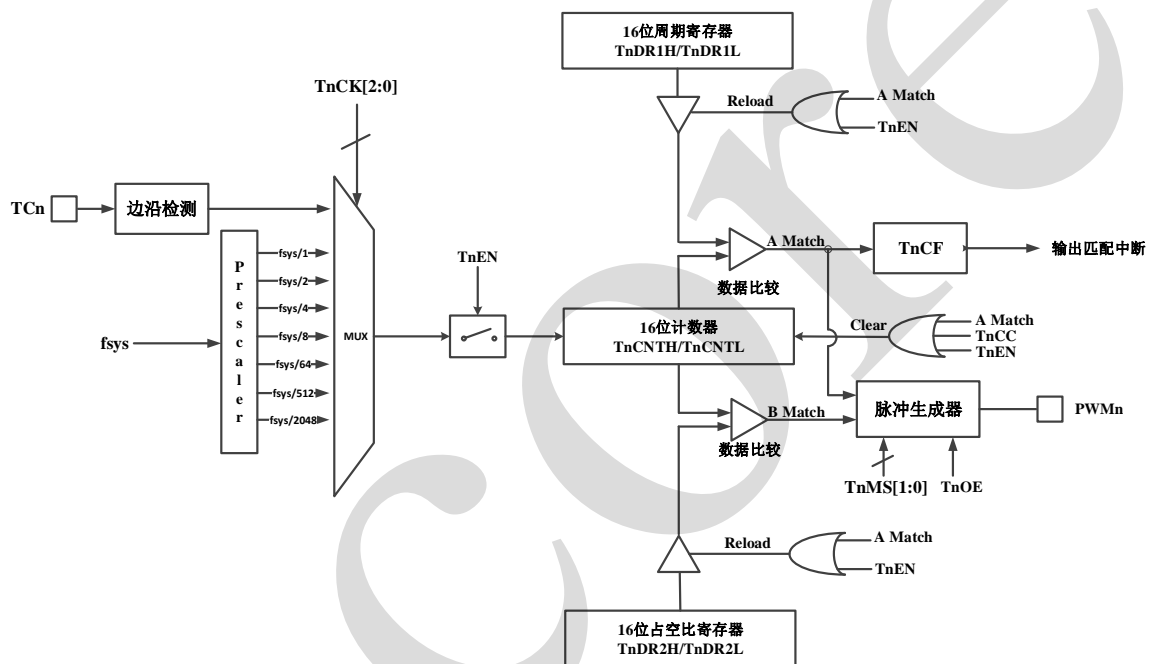


图 10.5.7 PWM 模式框图

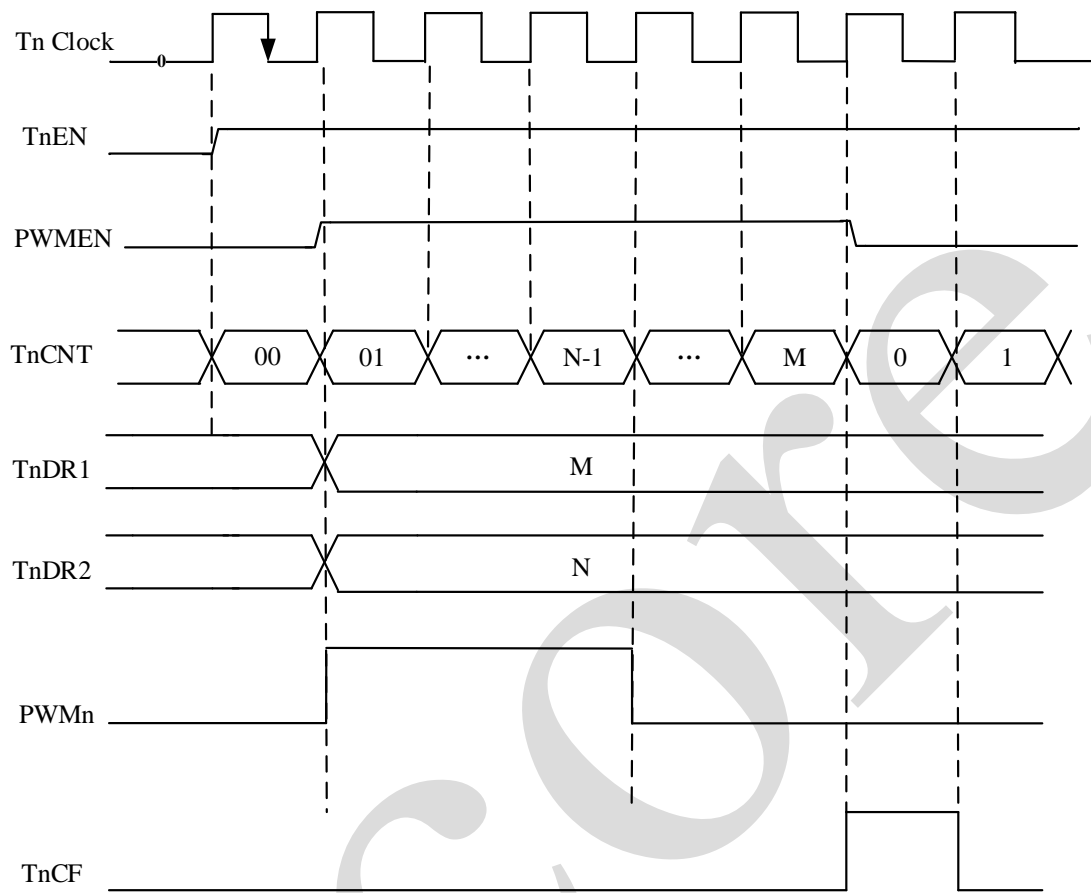


图 10.5.8 单脉冲 PWM 时序图



10.5.4 多脉冲 PWM 模式

在多脉冲输出模式下，计数器在 t_{nen} 置位后就开始工作，不反相输出情况下（即 $pwme$ 为 0），PWM 波输出高电平；每次计数值与 $(TnDR2-1)$ 相等时，PWM 波输出翻转为低电平；每次计数值与 $TnDR1$ 相等时，PWM 波输出再次翻转为高电平。

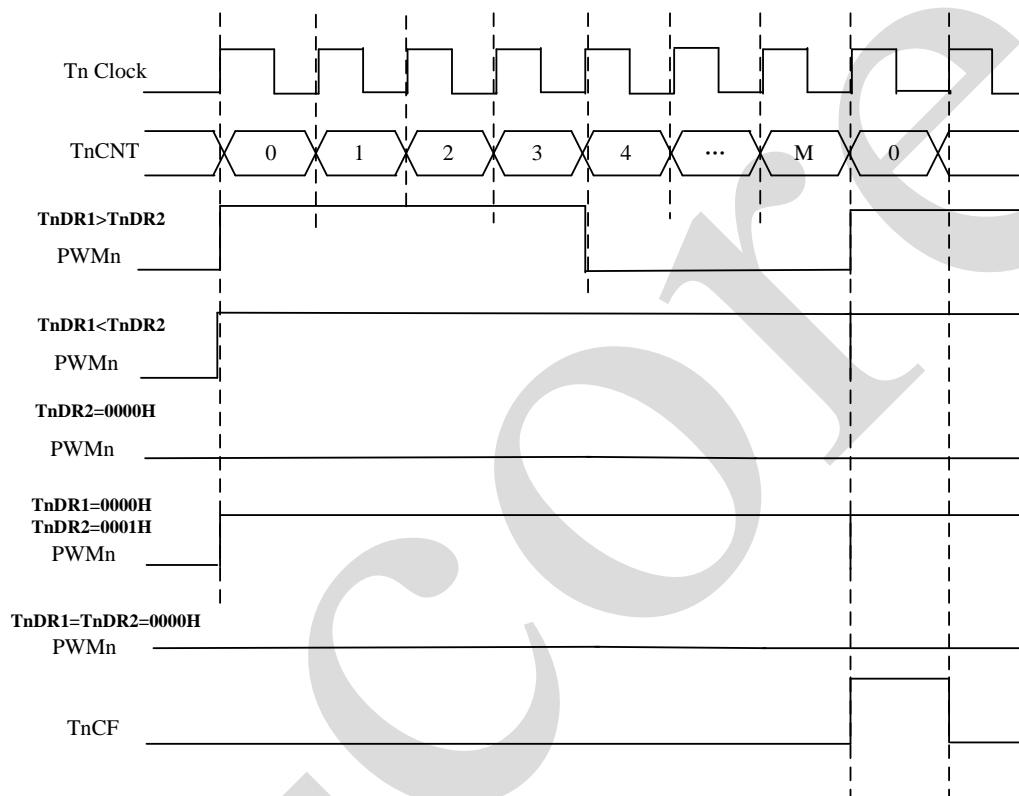


图 10.5.9 多脉冲 PWM 时序图



11 高级定时器

11.1 特性

高级定时器 T5 为 12 位加法计数器，具有 6 通道独立输出的 PWM 模式，以及可用 6 通道组成 3 路独立的互补输出和死区控制。

- 12 位定时/计数模式
- 12bit 多脉冲 PWM 模式
- 12bit 单脉冲 PWM 模式
- PWM 输出可配置为 6 路独立 PWM 波输出或者 3 路独立 PWM 互补输出
- 可通过配置 T5DR2L, T5DR4L, T5DR6L, 分级调整 PWM 输出死区宽度大小。
- 匹配中断——T5CF

11.2 功能框图

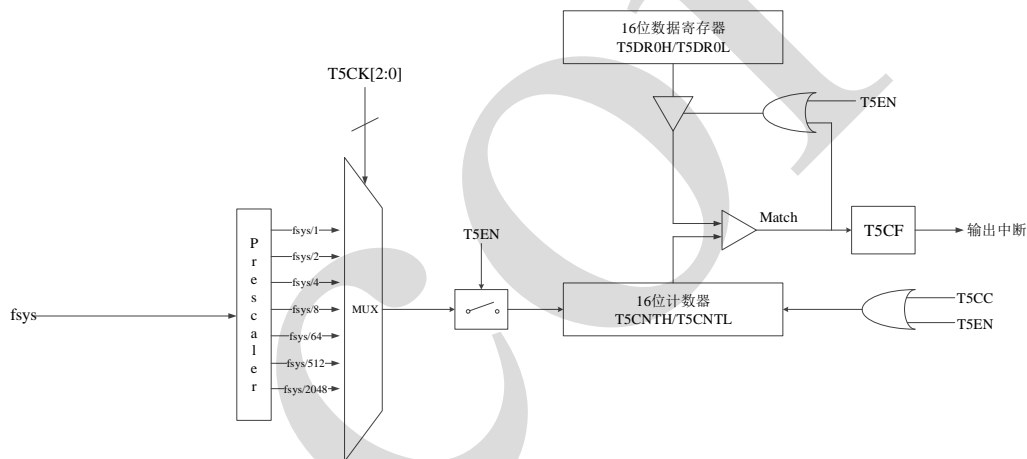


图11.1 高级定时器功能框图

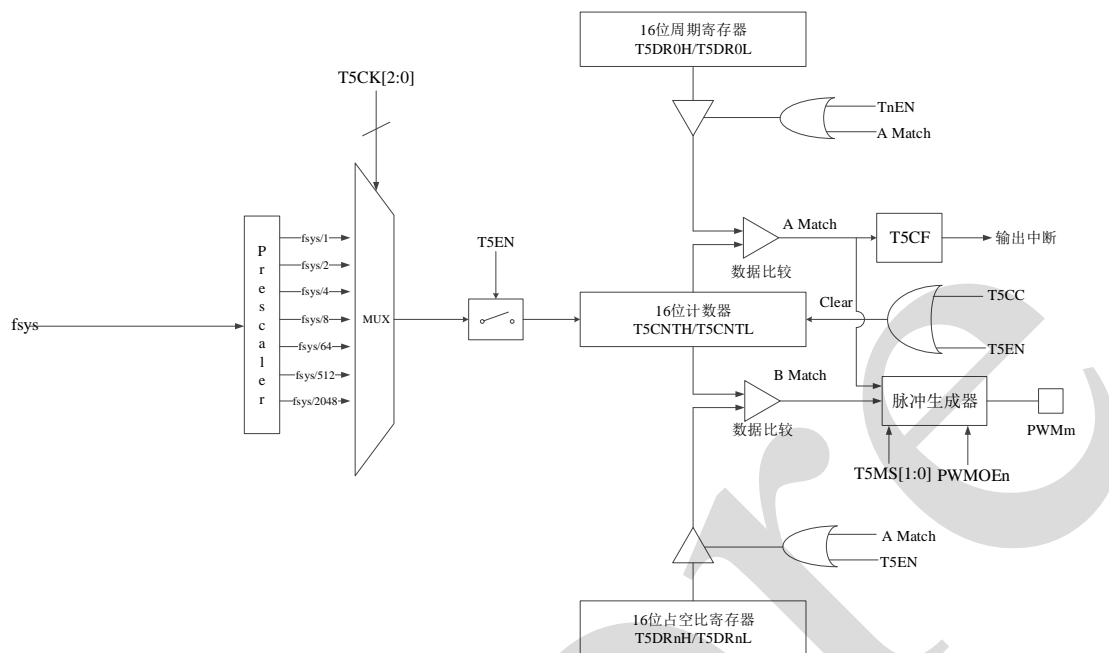


图11.2 高级定时器 PWM 模式功能框图

11.3 寄存器列表

表 11.3.1 高级定时器寄存器列表

寄存器名称	地址	描述	初值
T5PWMOE	41E2H	定时器 5 通道输出使能寄存器	00H
T5DCR1	41E3H	定时器 5 死区控制寄存器 1	00H
T5DCR2	41E4H	定时器 5 死区控制寄存器 2	00H
T5DR0L	41E6H	定时器 5 周期寄存器低 8 位	FFH
T5DR0H	41E7H	定时器 5 周期寄存器高 4 位	0FH
T5DR1L	41E9H	定时器 5 通道 1 占空比寄存器低 8 位	FFH
T5DR1H	41EAH	定时器 5 通道 1 占空比寄存器高 4 位	0FH
T5DR2L	41EBH	定时器 5 通道 2 占空比寄存器低 8 位	FFH
T5DR2H	41ECH	定时器 5 通道 2 占空比寄存器高 4 位	0FH
T5DR3L	41EDH	定时器 5 通道 3 占空比寄存器低 8 位	FFH
T5DR3H	41EEH	定时器 5 通道 3 占空比寄存器高 4 位	0FH
T5CR1	41EFH	定时器 5 控制寄存器 1	00H
T5DR4L	41F1H	定时器 5 通道 4 占空比寄存器低 8 位	FFH
T5DR4H	41F2H	定时器 5 通道 4 占空比寄存器高 4 位	0FH
T5DR5L	41F3H	定时器 5 通道 5 占空比寄存器低 8 位	FFH
T5DR5H	41F4H	定时器 5 通道 5 占空比寄存器高 4 位	0FH
T5DR6L	41F5H	定时器 5 通道 6 占空比寄存器低 8 位	FFH
T5DR6H	41F6H	定时器 5 通道 6 占空比寄存器高 4 位	0FH



T5CR2	41F7H	定时器 5 控制寄存器 2	00H
-------	-------	---------------	-----

11.4 寄存器说明

表 11.4.1 T5CR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5EN	PWMEN	T5MS[1:0]		T5RDEN	T5CF	—	T5CC
R/W	R/W	R/W	R/W	R/W	R/W	R/W0	—	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	T5EN	T5 工作使能 0: 定时器禁止工作 1: 定时器开始工作
6	PWMEN	单脉冲输出使能位 0: 单脉冲信号未输出, 计数器未开始工作 (硬件清 0) 1: 单脉冲信号可以输出, 计数器开始计数 (软件置 1)
5-4	T5MS[1:0]	定时器工作模式 00: 定时器/计数器模式 01: 保留 10: PWM 单脉冲模式 11: PWM 多脉冲模式
3	T5RDEN	定时器模式下计数器读使能 0: 禁止 1: 使能 该位置起后一个系统时钟周期后自动清零。
2	T5CF	定时器匹配中断 (硬件置位, 软件复位) 0: 未发生定时器匹配中断 1: 发生定时器匹配中断
0	T5CC	清除 T5 计数器 0: 无影响 1: 清除定时器 T5 的计数值 该位置起后一个系统时钟周期后自动清零。



表 11.4.2 T5CR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5CK[2:0]			—	—	—	—	—
R/W	R/W	R/W	R/W	—	—	—	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-5	T5CK[2:0]	定时器时钟分频选择位 000: fsys 001: fsys/2 010: fsys/4 011: fsys/8 100: fsys/64 101: fsys/512 110: fsys/2048 111: 保留

表 11.4.3 T5PWMOE 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	PWMOE6	PWMOE5	PWMOE4	PWMOE3	PWMOE2	PWMOE1
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	PWMOE6	通道 6 PWM 输出使能 0: 通道 6 不输出 PWM 信号, 输出始终保持为 0 1: 通道 6 输出 PWM 信号
4	PWMOE5	通道 5 PWM 输出使能 0: 通道 5 不输出 PWM 信号, 输出始终保持为 0 1: 通道 5 输出 PWM 信号
3	PWMOE4	通道 4 PWM 输出使能 0: 通道 4 不输出 PWM 信号, 输出始终保持为 0 1: 通道 4 输出 PWM 信号
2	PWMOE3	通道 3 PWM 输出使能 0: 通道 3 不输出 PWM 信号, 输出始终保持为 0 1: 通道 3 输出 PWM 信号
1	PWMOE2	通道 2 PWM 输出使能 0: 通道 2 不输出 PWM 信号, 输出始终保持为 0 1: 通道 2 输出 PWM 信号
0	PWMOE1	通道 1 PWM 输出使能 0: 通道 1 不输出 PWM 信号, 输出始终保持为 0



		1: 通道 1 输出 PWM 信号
--	--	-------------------

表 11.4.4 T5DCR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	P6MS	P4MS	C56DS	C56DE	C34DS	C34DE	C12DS	C12DE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	P6MS	通道 6 PWM 模式选择 0: 独立通道 1: 与同道 5 组成互补输出
6	P4MS	通道 4 PWM 模式选择 0: 独立通道 1: 与同道 3 组成互补输出
5	C56DS	通道 56 输出死区插入边沿控制位 (仅互补模式有效) 0: 定时器输出主波形下降沿插入死区 1: 定时器输出主波形上升沿插入死区
4	C56DE	通道 56 输出死区控制使能位 (仅互补模式有效) 0: 通道 56 输出不插入死区 1: 通道 56 输出插入死区
3	C34DS	通道 34 输出死区插入边沿控制位 (仅互补模式有效) 0: 定时器输出主波形下降沿插入死区 1: 定时器输出主波形上升沿插入死区
2	C34DE	通道 34 输出死区控制使能位 (仅互补模式有效) 0: 通道 34 输出不插入死区 1: 通道 34 输出插入死区
1	C12DS	通道 12 输出死区插入边沿控制位 (仅互补模式有效) 0: 定时器输出主波形下降沿插入死区 1: 定时器输出主波形上升沿插入死区
0	C12DE	通道 12 输出死区控制使能位 (仅互补模式有效) 0: 通道 12 输出不插入死区 1: 通道 12 输出插入死区



表 11.4.5 T5DCR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	P2MS	C6PWM	C5PWM	C4PWM	C3PWM	C2PWM	C1PWM
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
6	P2MS	通道 2 PWM 模式选择 0: 独立通道 1: 与通道 1 组成互补输出
5	C6PWM	通道 6 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
4	C5PWM	通道 5 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
3	C4PWM	通道 4 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
2	C3PWM	通道 3 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
1	C2PWM	通道 2 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波
0	C1PWM	通道 1 PWM 输出极性选择位 0: 作为独立通道时输出信号不反相, 互补输出时输出与参考信号相同 PWM 波 1: 作为独立通道时输出信号反相, 互补输出与参考信号反相的 PWM 波

表 11.4.6 T5DR0H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR0H[3:0]			
R/W	—				R/W			
POR	0	0	0	0	1	1	1	1

位	字段	描述
7-0	T5DR0H[3:0]	定时器周期寄存器高 4 位 计数模式和脉冲发射模式下用于设定定时器的计数周期, 计数过程中对该寄存器写值会写入到 T5LOAD0 寄存器, 等待计数匹配后再加载到 T5DR0 中。

注: T5LOAD0 为 T5DR0 的缓冲寄存器, 用户不可见。以下所有提到的 T5LOAD 寄存器类似。



表 11.4.7 T5DR0L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR0L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR0L[7:0]	定时器周期寄存器低 8 位 计数模式和脉冲发射模式下用于设定定时器的计数周期，计数过程中对该寄存器写值会写入到 T5LOAD0 寄存器，等待计数匹配后再加载到 T5DR0 中。

表 11.4.8 T5DR1H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR1H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR1H[3:0]	定时器通道 1 占空比控制寄存器高 4 位 计数模式下读 T5DR1H，则读出计数器高四位的值。 PWM 模式下用于控制通道 1 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LODA1 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR1 中。互补模式为通道 12 的占空比寄存器高 8 位。

表 11.4.9 T5DR1L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR1L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR1L[7:0]	定时器通道 1 占空比控制寄存器低 8 位 计数模式下读 T5DR1L 可读到计数器低八位的值。 PWM 模式下用于控制通道 1 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LODA1 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR1 中，互补模式为通道 12 的占空比寄存器低 8 位。



表 11.4.10 T5DR2H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR2H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR2H[3:0]	定时器通道 2 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 2 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD2 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR2 中

表 11.4.11 T5DR2L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR2L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR2L[7:0]	定时器通道 2 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 2 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD2 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR2 中，互补模式为通道 12 的死区宽度寄存器

表 11.4.12 T5DR3H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR3H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR3H[3:0]	定时器通道 3 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 3 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD3 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR3 中。互补模式为通道 34 的占空比寄存器高 4 位。



表 11.4.13 T5DR3L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR3L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR3L[7:0]	定时器通道 3 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 3 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD3 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR3 中。互补模式为通道 34 的占空比寄存器低 8 位。

表 11.4.14 T5DR4H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR4H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR4H[3:0]	定时器通道 4 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 4 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD4 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR4 中。

表 11.4.15 T5DR4L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR4L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR4L[7:0]	定时器通道 4 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 4 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD4 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR4 中，互补模式为通道 34 的死区宽度寄存器。



表 11.4.16 T5DR5H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR5H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR5H[3:0]	定时器通道 5 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 5 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD5 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR5 中，互补模式为通道 56 的死区占空比寄存器高 4 位。

表 11.4.17 T5DR5L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR5L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR5L[7:0]	定时器通道 5 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 5 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD5 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR5 中，互补模式为通道 56 的死区占空比寄存器低 8 位。

表 11.4.18 T5DR6H 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—				T5DR6H[3:0]			
R/W	—				R/W			
POR	—				1	1	1	1

位	字段	描述
7-0	T5DR6H[3:0]	定时器通道 6 占空比控制寄存器高 4 位 PWM 模式下用于控制通道 6 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD6 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR6 中。



表 11.4.19 T5DR6L 寄存器

Bit	7	6	5	4	3	2	1	0
Name	T5DR6L[7:0]							
R/W	R/W							
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	T5DR6L[7:0]	定时器通道 6 占空比控制寄存器低 8 位 PWM 模式下用于控制通道 6 输出 PWM 波的占空比，计数器计数时对该寄存器的改写通过 T5LOAD6 缓存，等待当前 PWM 信号传输完成（计数匹配）后再加载到 T5DR6 中，互补模式为通道 56 的死区宽度寄存器 8 位。

11.5 功能说明

11.5.1 定时/计数模式

计数器在 T5EN 置位后就开始工作，每次计数值与 T5DR0 相等时，产生匹配中断并清除计数值，同时置位 T5CF 中断信号。

该定时器同时包含重载功能。当 T5EN 为 0，定时器处于关闭时，此时写入的计数周期值会立即加载到 T5DR0 周期寄存器当中，作为计数器的溢出周期；而在 T5EN 为 1，定时器正常工作时，则会先将计数周期值存入缓存寄存器当中，等到下一次计数溢出后将缓存寄存器当中的计数周期值加载到 T5DR0。

单分频时，定时模式周期 = $(T5DR0 + 1) * f_{sys}$

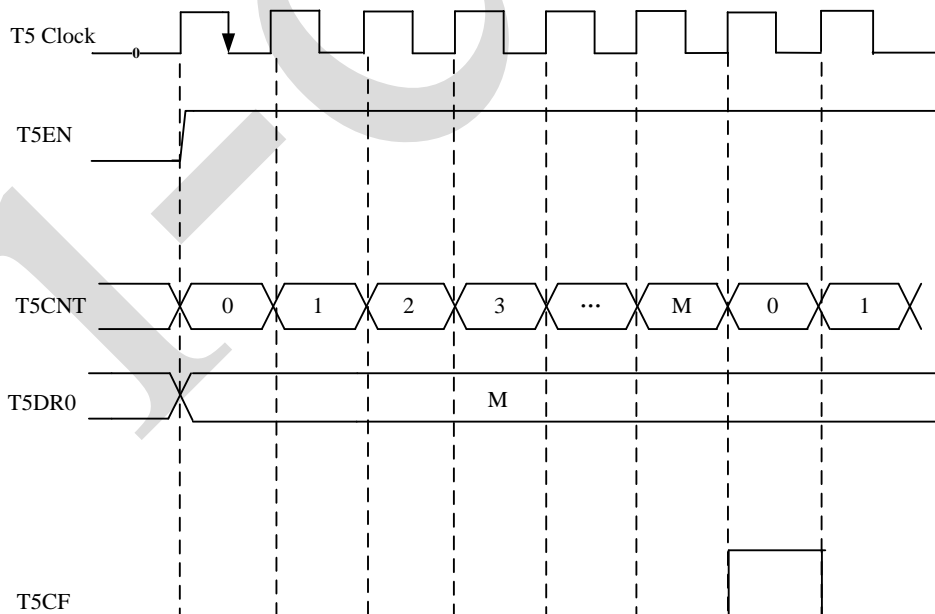


图 11.5.1 定时器/计数器框图



11.5.2 单脉冲 PWM 模式

以通道 1 为例，在单脉冲模式独立模式下，计数器在 t5en 置位且 PWM 使能 pwmen 置位后开始工作，此时 PWM 波输出为高电平（不反相输出情况下）。当计数器计数值等于 (T5DR1-1) 时，PWM 波输出翻转为低电平；当计数器计数值等于 T5DR0 时，PWMEN 位硬件复位为 0，且计数器清零并停止计数。

$$\text{PWM 周期} = (T5DR0 + 1) * f_{\text{sys}}$$

$$\text{PWM 占空比} = (T5DR1) * f_{\text{sys}}$$

其余五个通道在独立模式下工作效果与通道 1 一致。

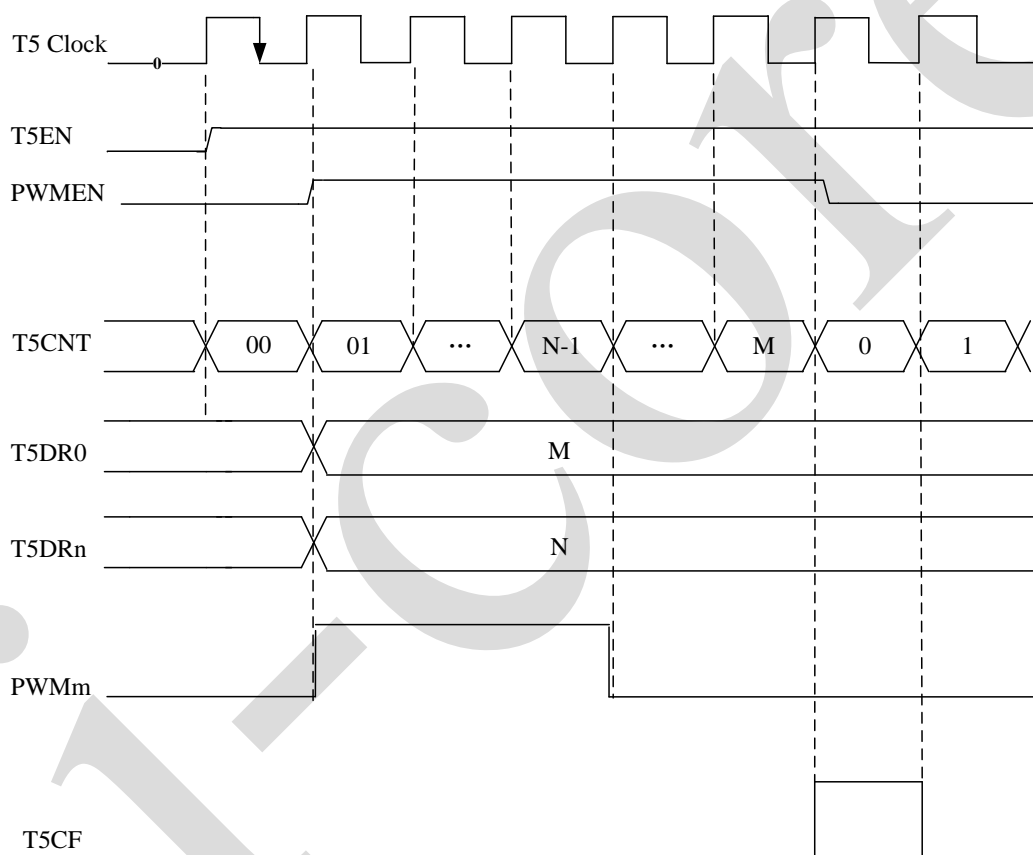


图 11.5.2 单脉冲 PWM 时序图 1

注：图中 n=1、2、3、4、5、6，依次对应 m=A、B、C、D、E、F；T5CF 标志需手动清“0”。

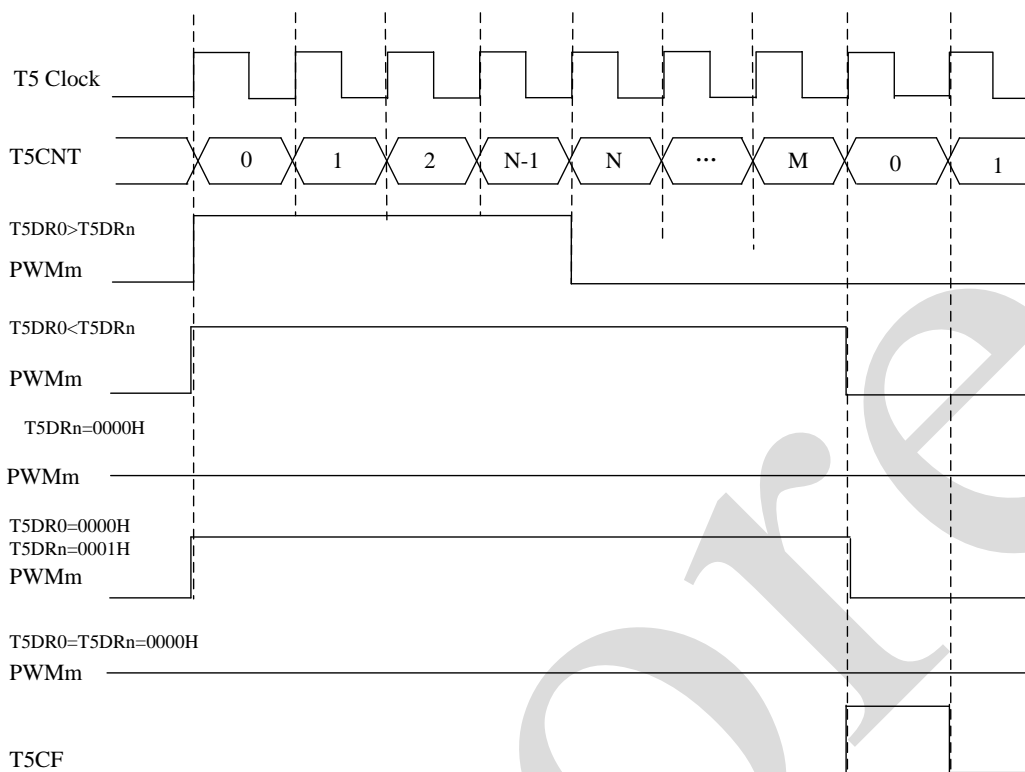


图 11.5.3 单脉冲 PWM 时序图 2

注：图中 n=1、2、3、4、5、6，依次对应 m=A、B、C、D、E、F；T5CF 标志需手动清“0”。



11.5.3 多脉冲 PWM 模式

以通道 1 为例，在多脉冲输出模式下，计数器在 T5EN 置位后就开始工作，不反相输出情况下（即 PWME 为 0），PWM 波输出高电平；每次计数值与（T5DR1-1）相等时，PWM 波输出翻转为低电平；每次计数值与 T5DR0 相等时，PWM 波输出再次翻转为高电平。

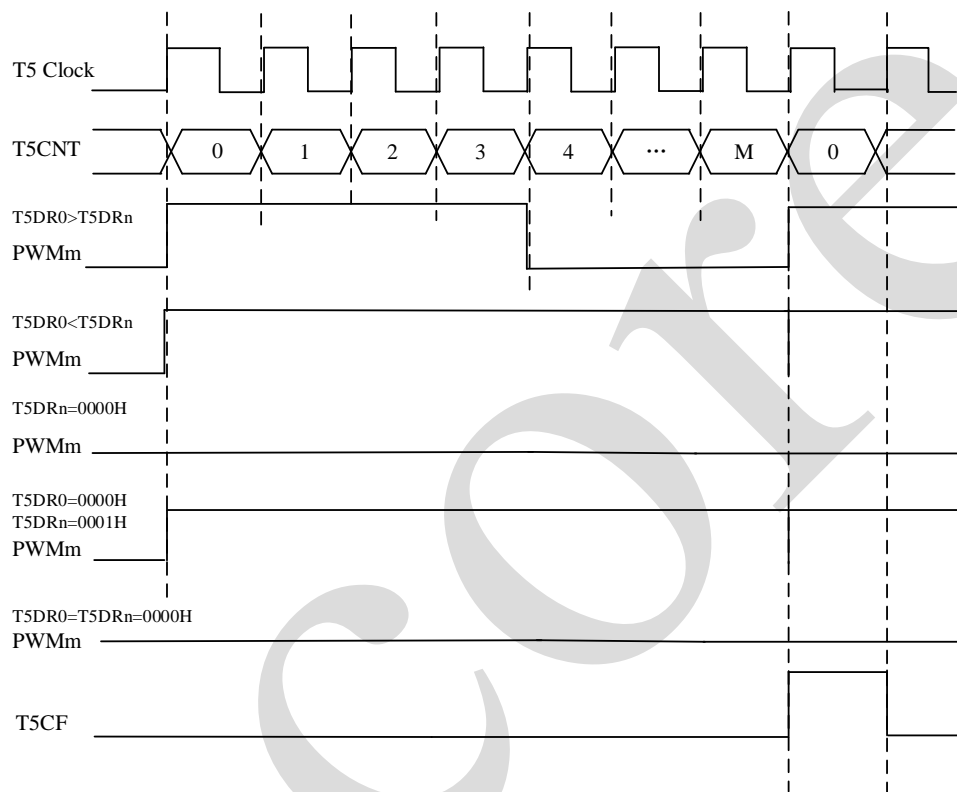


图 11.5.4 多脉冲 PWM 时序图

注：图中 n=1、2、3、4、5、6，依次对应 m=A、B、C、D、E、F； T5CF 标志需手动清“0”。



11.5.4 互补输出及死区控制

该定时器一共有 6 路 PWM 输出。当选择独立输出时，输出的 6 路 PWM 波信号由各自的占空比控制寄存器控制其占空比，周期相同，都由周期寄存器控制。当选择互补输出时，通道 1、2，通道 3、4，通道 5、6 分别组成 3 组互补输出，此时通道 2、4、6 的占空比控制寄存器为对应互补信号的死区宽度大小寄存器，并分别输出通道 1、3、5 输出信号的互补信号。

以通道 12 为例，当打开互补输出使能位 P2MS，PWM02 的波形是主波形 PWM01 的互补波形，即此时的通道 2 的占空比寄存器不再控制 PWM02 的输出。

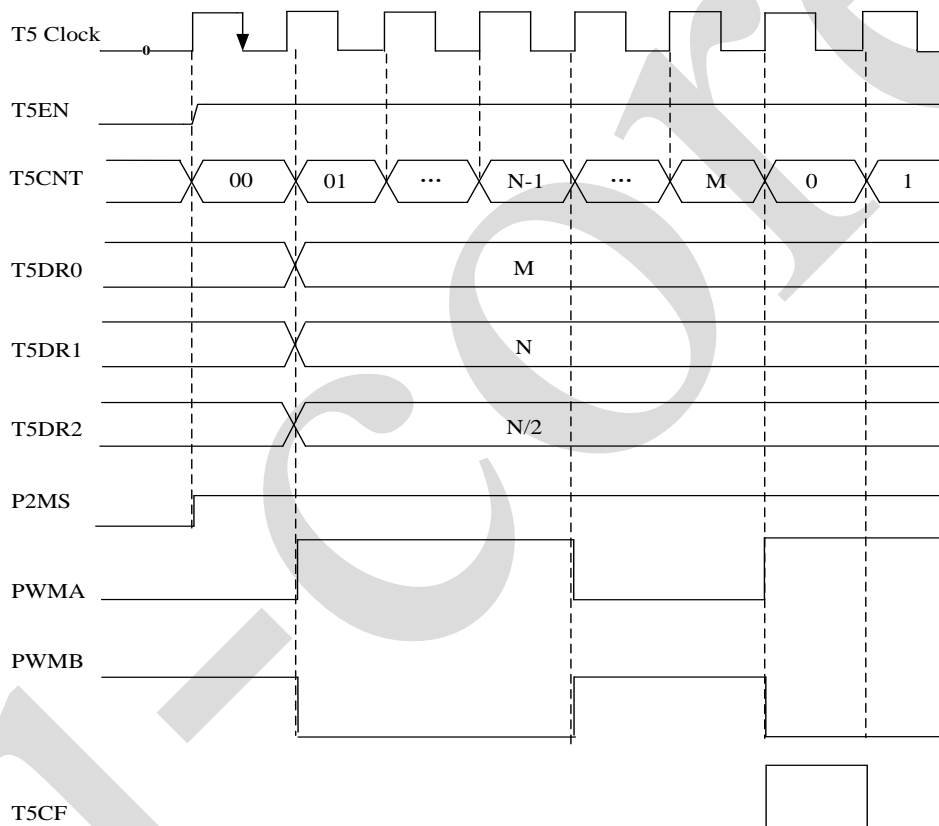


图 11.5.5 互补输出示例

注：T5CF 标志需手动软件清“0”。

当配置定时器输出插入死区使能位 C12DE，配置通道 1、2 输出死区插入边沿控制位 C12DS 来选择插入死区边沿，设置 T5DR2L 寄存器为插入死区宽度大小。（死区宽度寄存器为开启互补后的 T5DR2L，T5DR4L，T5DR6L）

其中死区宽度算法如下：



假设 DT 表示其死区宽度，Tck 为当前系统时钟，T5DR2L 为死区宽度寄存器

$$T5DR2L [7:5] = 0xx \Rightarrow DT = T5DR2L [7:0] \times Tck \quad (D1)$$

$$T5DR2L [7:5] = 10x \Rightarrow DT = (64 + T5DR2L [5:0]) \times (Tck \times 2) \quad (D2)$$

$$T5DR2L [7:5] = 110 \Rightarrow DT = (32 + T5DR2L [4:0]) \times (Tck \times 8) \quad (D3)$$

$$T5DR2L [7:5] = 111 \Rightarrow DT = (32 + T5DR2L [4:0]) \times (Tck \times 16) \quad (D4)$$

举例：若当前 Tck 为 62.5ns（16MHz），可能的死区时间为：

T5DR2L [7:0] = 0h 到 7Fh，0 到 7937.5ns，步长时间为 62.5ns（参考 D1）

T5DR2L [7:0] = 80h 到 BFh，8μs 到 15875ns，步长时间为 125ns（参考 D2）

T5DR2L [7:0] = C0h 到 DFh，16μs 到 31.5μs，步长时间为 0.5μs（参考 D3）

T5DR2L [7:0] = E0h 到 FFh，32μs 到 63μs，步长时间为 1μs（参考 D4）

若打开死区模式，以多脉冲 PWM 模式从上升沿插入死区为例，其输出波形相对于原先参考波形（不开死区但是互补模式的波形）时序图如下所示。其中 dtr 为死区长度寄存器，dtr_count 为死区递减计数器（这两个寄存器用户无法访问）。

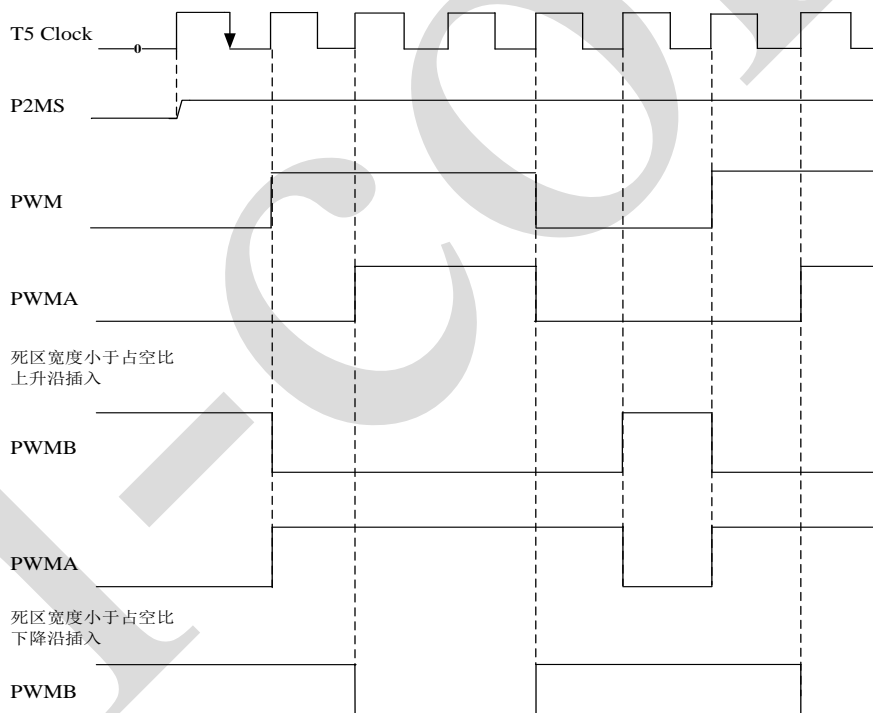


图 11.5.6 死区宽度示例（死区宽度小于占空比）

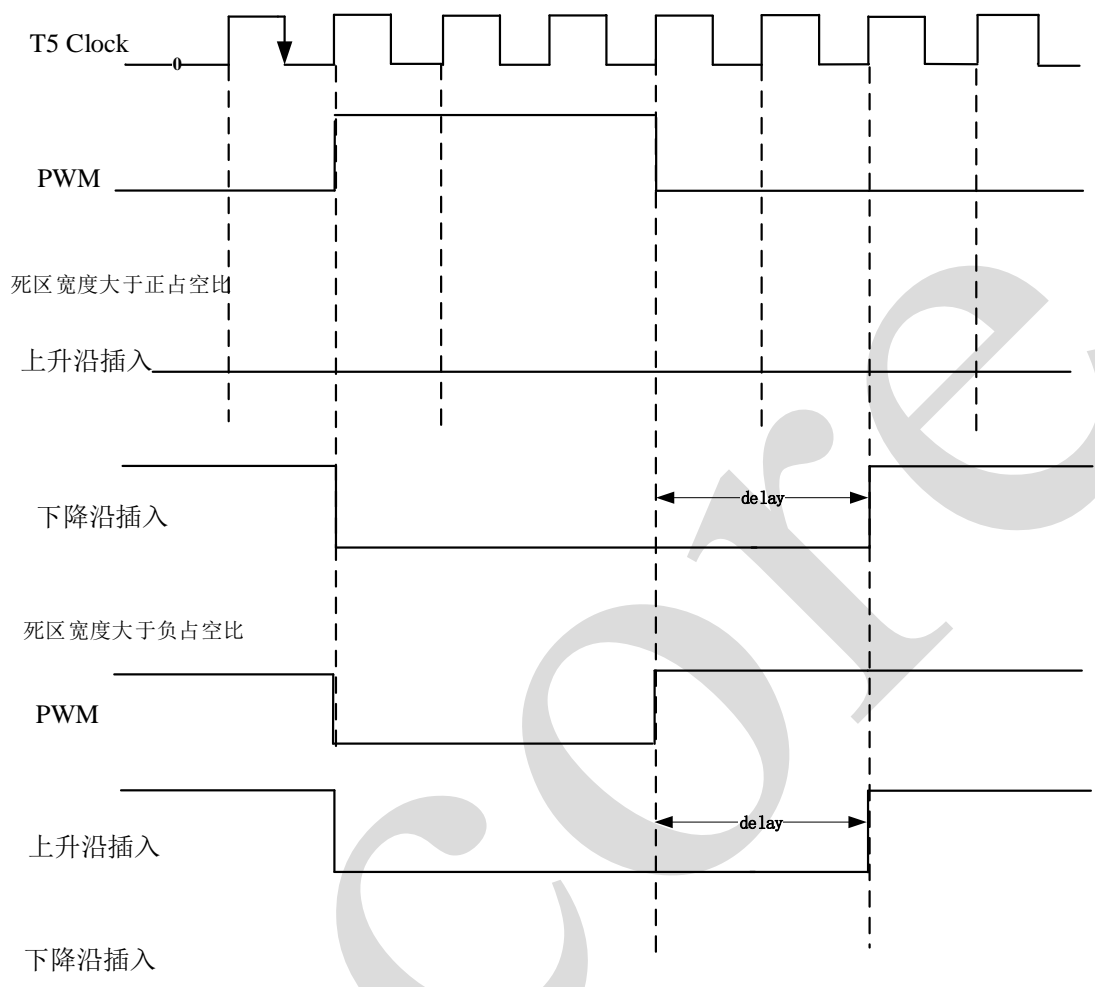


图 11.5.7 死区宽度示例（死区宽度大于占空比）



12 WT

12.1 特性

该模块为基于 8051 外设总线的 8 位 Real Time Clock (RTC) 定时器，内部结构由时钟选择电路，在选择 32.768KHz 外部晶振时，可以进行准确计时。定时器计数电路，输出选择电路和控制寄存器组成。WTCR 寄存器用来控制时钟输入，输出间隔，清除 RTC 计数和设置 WTEN 位，为了提高分辨率 RTC 计数器可以组成 22 位计数器，包括低 14 位和高 8 位二进制计数器，WTDR 寄存器在写入时可以用来设置 WT 的中断间隔值，在读时序时可以读 8 位计数器的值。

- 14 位预分频计数器，用于产生 2KHz 时钟
- 8 位 RTC 计数器，最长可计 128 秒
- 时钟选择：f_lxtal、f_lirc、fx_256、fx_512
- 中断间隔选择：fwck/2⁷、fwck/2¹³、fwck/2¹⁴、fwck/(2¹⁴*(8bit WTDR value + 1))
- 可软件或者硬件复位中断标志位
- 可软件复位 RTC 计数器

12.2 功能框图

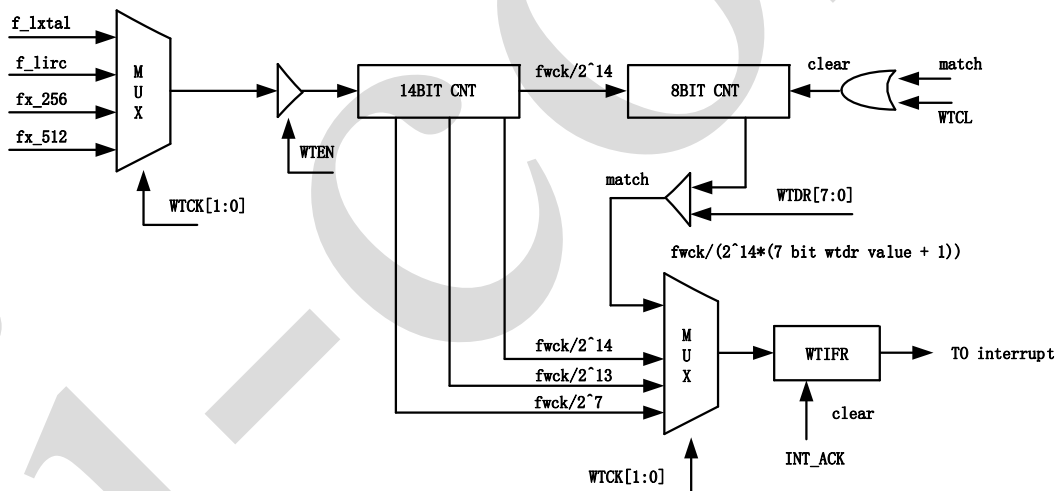


图 12.2.1 WT 功能框图



12.3 寄存器列表

表 12.3.1 WT 寄存器列表

寄存器名称	地址	描述	初值
WTCNT	41FDH	WT 计数器寄存器	00H
WTDR	41FDH	WT 溢出值寄存器	FFH
WTCR	41FCH	WT 控制寄存器	00H

12.4 寄存器说明

表 12.4.1 WTCNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WTCNT7	WTCNT6	WTCNT5	WTCNT4	WTCNT3	WTCNT2	WTCNT1	WTCNT0
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7:0	WTCNT[7:0]	WT 计数寄存器

表 12.4.2 WTDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WTDR7	WTDR6	WTDR5	WTDR4	WTDR3	WTDR2	WTDR1	WTDR0
R/W	W	W	W	W	W	W	W	W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7:0	WTDR[7:0]	设置 WT 溢出周期 WT 中断间隔= $f_{WTCK}/(2^{14} \times (7\text{bit WTDR Value}+1))$ 注：不要写入“0”



表 12.4.3 WTCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WTEN	—	WTCL	WTIFR	WTIN1	WTIN0	WTCK1	WTCK0
R/W	R/W	—	R/W	R/W0	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	WTEN	WT 控制操作 0: 除能 1: 使能
5	WTCL	WT 模块使能位 0: 无效 1: WT 计数器清零 该位有效仅清除 RTC 高 8 位计数器, 低 14 位计数器计数值只能关闭 WT 或者由系统复位清除
4	WTIFR	当 WT 中断产生时置‘1’。写入 0 进行清除或通过 INT_ACK 信号自动清零, 写‘1’没有影响。 0: 没有 WT 中断产生 1: WT 计数溢出 该标志位由软件写“0”清零
3-2	WTIN[1:0]	中断间隔选择 00: $f_{WTCK}/2^7$ 01: $f_{WTCK}/2^{13}$ 10: $f_{WTCK}/2^{14}$ 11: $f_{WTCK}/(2^{14} \times (7\text{bit WTDR Value}+1))$
1-0	WTCK[1:0]	定时器时钟选择 00: f_{LXT} 01: $f_{sys}/256$ 10: $f_{sys}/512$ 11: f_{LIRC}



12.5 功能说明

12.5.1 低 14 位计数模式

当配置 WTIN 为 00B、01B、或 10B 时，该 WT 模块为低 14 位计数模式。通过 WTCK 选择的时钟会驱动 WT 低 14 位计数器 wtcntl 向上递增计数，当低 14 位计数器计数值与用户通过 WTIN 设置的数值相等后，计数器溢出并产生 WT 中断信号 WTIFR。WTIFR 可通过程序进行软件清零。

如下图为选择 WT 驱动时钟为 fsys/256，计数溢出值为 2^{13} 时的时序图。

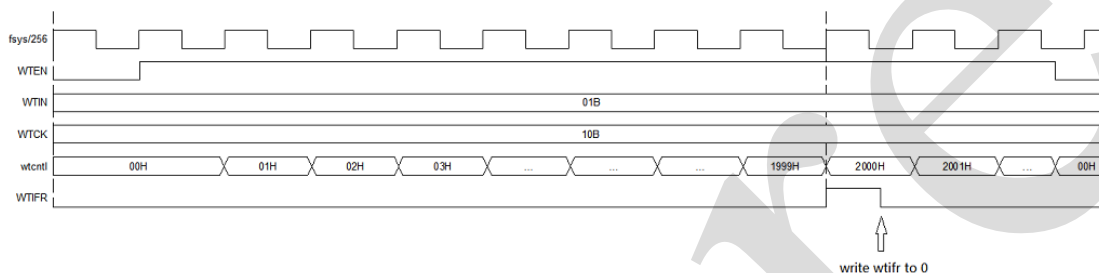


图 12.5.1 WT 低 14 位计数模式

12.5.2 高 8 位计数模式

当配置 WTIN 为 11B 时，该 WT 为高 8 位计数模式。在该模式下，通过 WTCK 所选时钟每过 2^{14} 个时钟周期会驱动 WT 高 8 位计数器 WTCNT 递增计数。当 WTCNT 的计数值与 WT 溢出值寄存器 WTDR 相等后，WTCNT 溢出并产生 WT 中断信号 WTIFR。

高 8 位计数模式下，WTCNT 上溢时间为：

$$\text{WT 中断间隔} = \text{WT 驱动时钟周期} \times 2^{14} \times (\text{WTDR value} + 1)$$

如下图为 WT 高 8 位计数模式的时序图。图中的 cntclk 的周期为通过 WTCK 所选时钟的 2^{14} 个时钟周期时间，cntclk 会驱动 WTCNT 向上递增计数，在 WTCNT 向上计数的过程中，可通过对 WTCL 写 1 来清除 WTCNT 的值。当 WTCNT 的值与 WTDR 内的值相等后，WT 标志位 WTIFR 置起，该标志位可以用程序对其写零实现软件清零。

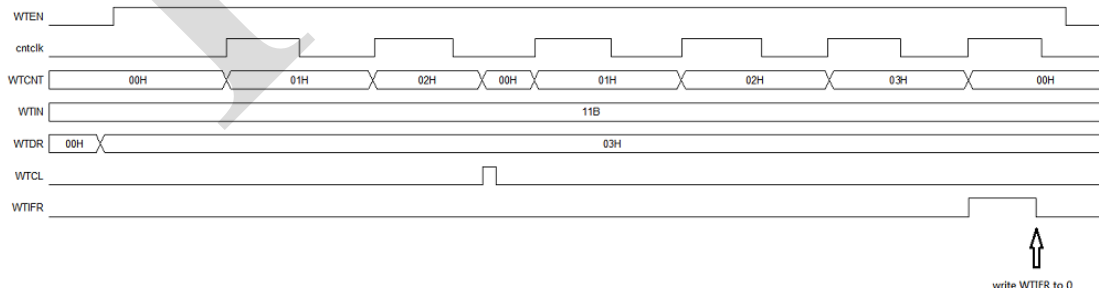


图 12.5.2 WT 高 8 位计数模式



13 WDT

13.1 特性

该基于 8051 外设总线的 8 位 WDT (看门狗定时器) 用于防止由于程序错误或硬件部件冲突造成的系统死机, 其通过产生的看门狗复位信号使系统复位, 从而使系统恢复至正常状态。该 WDT 也可配置为一个可以产生中断信号的定时器。其顶层包括一个 WDT 复位信号输出端口及一个 WDT 中断标志信号输出端口, 用于 WDT 复位及 WDT 中断服务。其内部计数器的计数时钟源及溢出边界由用户配置。看门狗计数器 (WDTCNT) 上溢时, 根据用户的配置, 产生 WDT 复位信号或产生 WDT 中断信号。

- 8 位预分频计数器, 时钟可选择 LIRC、系统时钟源, 分频比例可调
- 8 位看门狗计数器, 看门狗溢出时间可调
- 系统时钟可以提供不同的时钟分频, 包括 fx_512、fx_256、fx_128

13.2 功能框图

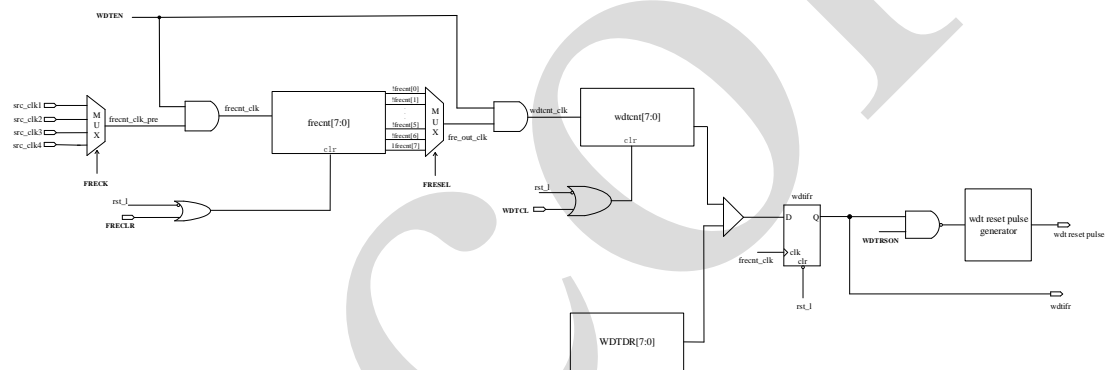


图 13.2.1 WDT 原理框图

13.3 寄存器列表

表 13.3.1 WDT 寄存器列表

寄存器名称	地址	描述	初值
WDTDR	8AH	WDT 溢出值寄存器	FFH
WDTCNT	8AH	WDT 计数器	00H
FRECR	8EH	预分频控制寄存器	01H
FRECNT	8FH	WDT 预分频计数器	00H
WDTCR	92H	WDT 控制寄存器	00H



13.4 寄存器说明

表 13.4.1 WDTDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTDR[7:0]							
R/W	W	W	W	W	W	W	W	W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	WDTDR[7:0]	WDT 数据寄存器 设置计数周期，当 WDTCNT 计数到预置的 WDTDR 时溢出

表 13.4.2 WDTCNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTCNT[7:0]							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	WDTCNT[7:0]	WDT 计数器 读 WDTDR 返回 WDTCNT 计数值

表 13.4.3 FRECR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	FRECK[1:0]		—	FRECLR	FRESEL[2:0]		
R/W	—	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	1

位	字段	描述
6-5	FRECK[1:0]	预分频器时钟选择控制位 00: fsys/512 01: fsys/256 10: fsys/128 11: fLIRC
3	FRECLR	预分频软件清零 0: 无效 1: 预分频计数器清零（一个时钟周期后该位自动复位）
2-0	FRESEL[2:0]	预分频器分频控制位 000: 2 分频 001: 4 分频



		010: 8 分频 011: 16 分频 100: 32 分频 101: 64 分频 110: 128 分频 111: 256 分频
--	--	---

表 13.4.4 FRECNT 寄存器

Bit	7	6	5	4	3	2	1	0
Name	FRECNT[7:0]							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	FRECNT[7:0]	预分频计数器

表 13.4.5 WDTCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	WDTEN	WDTRSON	WDTCL	—	—	—	—	WDTIFR
R/W	R/W	R/W	R/W	—	—	—	—	R/W0
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	WDTEN	WDT 使能 0: WDT 模块关闭 1: WDT 模块使能
6	WDTRSON	WDT 工作模式选择 0: WDT 模块作为 8-bit 独立运行定时器 1: WDT 模块产生复位信号
5	WDTCL	WDT 定时器清零位 0: 无效 1: WDT 计数器清零（一个时钟周期后该位自动复位）
0	WDTIFR	WDT 中断标志位 0: 没有中断产生 1: 产生 WDT 中断 该标志位置位后软件写“0”清除



13.5 功能说明

13.5.1 看门狗复位模式

该看门狗定时器（WDT）可以将因程序错误或硬件冲突造成的系统死机通过复位的方式解除。其实现方式为，若未在一段时间内对 WDT 进行“喂狗”操作，WDT 会产生 WDT 低电平复位信号，用于系统复位。

WDT 计数器会根据用户的配置进行递增计数，每当 WDTCNT 溢出时，根据用户的配置决定是否生成复位信号，计数器在计数过程中，可以由程序进行“喂狗”操作，使计数器清 0 并重新从零向上递增计数。计数器的驱动时钟及溢出边界由用户进行配置，“喂狗”操作则由用户编写的程序执行。

其中，当 WDTCK 为 0 时，WDTCNT 的溢出时间由 FRESEL 所选的分频时钟与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{分频时钟周期} \times (\text{WDTDR value} + 1)$$

当 WDTCK 为 1 时，WDTCNT 的溢出时间由 LIRC 的时钟周期的 256 分频与 WDTDR 内的数值决定

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{LIRC 时钟周期} \times 256 \times (\text{WDTDR value} + 1)$$

下图为 WDRSON 使能时，WDT 复位功能时序图。

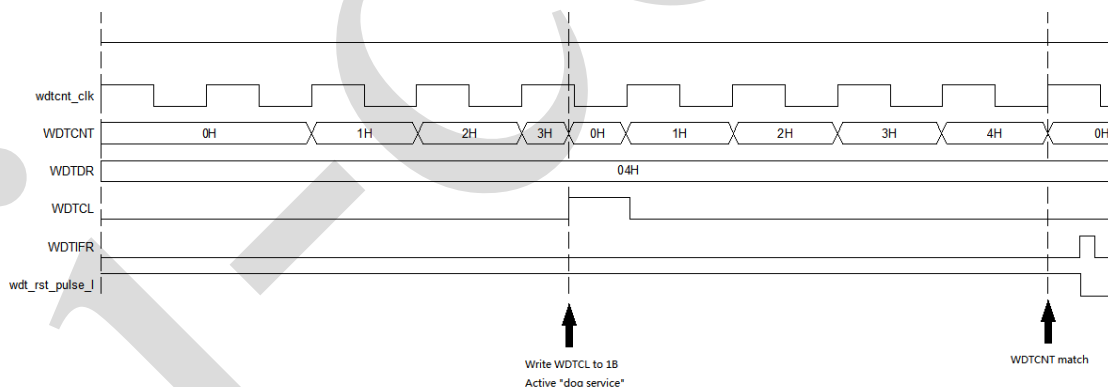


图 13.5.1 WDT 复位功能时序图

wdtcnt_clk 为通过 WDTCK 控制位配置的 WDTCNT 驱动时钟，其会驱动 WDTCNT 计数寄存器进行计数。当 wdten 使能后，WDTCNT 在 wdtcnt_clk 的驱动下开始递增计数，若在计数过程中对 WDTCL 写 1（喂狗）操作，则 wdtcl 信号置起且 WDTCNT 清 0，图中 wdtcl 信号会在 1 个周期后被硬件清 0，之后 WDTCNT 会在 wdtcnt_clk 的驱动下重新开始向上递增计数。当计数器溢出后（计数至 WDTDR 的值，图中为 04H）。会产生 WDT 中断标志信



号 wdtifr，此时若使能了 WDTRSON，则会产生 WDT 低电平有效复位信号（wdt_rst_l），其会对系统进行复位。

13.5.2 看门狗定时器模式

当 WDTRSON 未使能时，WDT 为一个计数器，其功能如下图所示

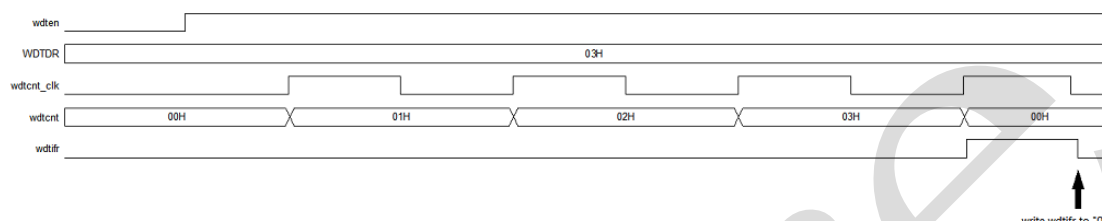


图 13.5.2 WDT 计数功能时序图

wdtcnt_clk 为通过 WDTCK 控制位配置的 WDTCNT 驱动时钟，其会驱动 WDTCNT 计数寄存器进行计数。当 wden 使能后，WDTCNT 会在 wdtcnt_clk 的驱动下开始递增计数，若未使能 WDTRSON 控制位，则 WDT 会作为一个定时器运行，当计数器溢出时（计数至 WDTDR 的值）。会产生 WDT 中断标志信号 wdtifr。

其中，当 WDTCK 为 0 时，WDTCNT 的溢出时间由 FRESEL 所选的分频时钟与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{分频时钟周期} \times (\text{WDTDR value} + 1)$$

当 WDTCK 为 1 时，WDTCNT 的溢出时间由 LIRC 的时钟周期的 256 分频与 WDTDR 内的数值决定。

计算公式为：

$$\text{WDTCNT 溢出时间} = \text{LIRC 时钟周期} \times 256 \times (\text{WDTDR value} + 1)$$



14 UART

14.1 特性

芯片共含 3 个相同的异步收发器：UART0、UART1 和 UART2。UART 模块通过两个引脚与其他设备连接在一起，UART 双向通讯需要两个引脚：接收数据输入引脚(UARTRX)和发送数据输出引脚(UARTTX)，UART 采用过采样技术来区别数据和噪声从而恢复数据。

- 全双工异步串行通信
- 具有高精度波特率产生模块，波特率可编程且支持波特率微调
- 可配置 8bit 或 9bit 数据长度，可配置 1 或 2 个停止位
- 单独的发送和接收使能控制
- 支持多处理器通信
- STOP 模式下 RX 引脚唤醒
- 支持软件复位操作



14.2 功能框图

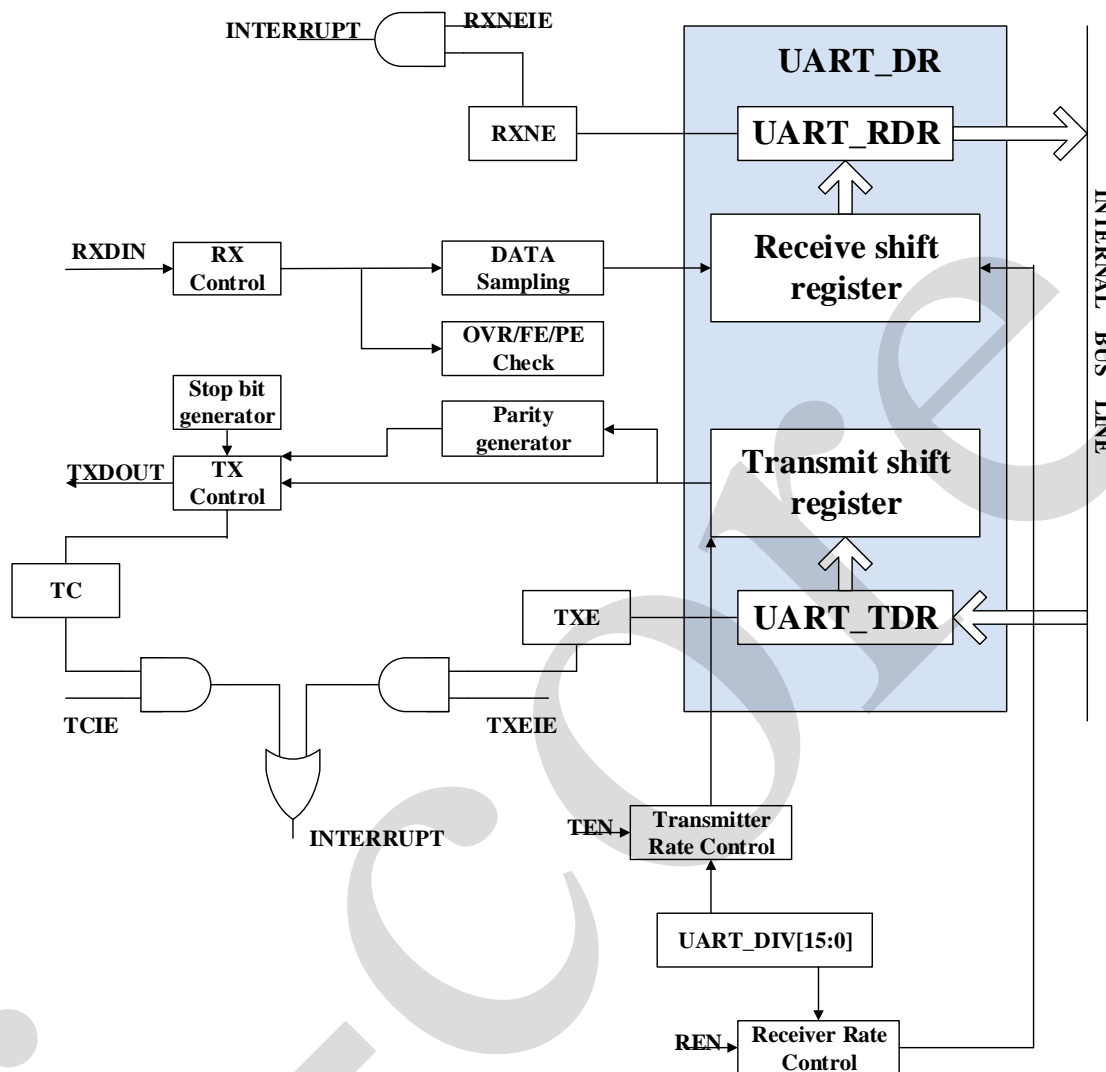


图 14.2.1 UART 原理框图

14.3 寄存器列表

表 14.3.1 WDT 寄存器列表

寄存器名称	地址	描述	初值
UARTnCR1		UART 控制寄存器 1	00H
UARTnCR2		UART 控制寄存器 2	00H
UARTnCR3		UART 控制寄存器 3	00H
UARTnDR		UART 数据寄存器	00H
UARTnSR		UART 状态寄存器	80H
UARTnBRR1		UART 波特率控制寄存器 1	00H
UARTnBRR2		UART 波特率控制寄存器 2	00H



14.4 寄存器说明

表 14.4.1 UARTnCR1(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	—	—	PCEN	PS	M	RWU	RWUF	PIEN
R/W	—	—	R/W	R/W	R/W	R/W	R/W0	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
5	PCEN	奇偶校验控制使能 0: 奇偶校验控制被禁用 1: 奇偶校验控制被使能
4	PS	奇偶校验选择 0: 偶校验 1: 奇校验
3	M	选择帧数据长度 0: 8 bit 1: 9 bit
2	RWU	静默模式使能 0: 接收器处于正常工作模式 1: 接收器处于静默模式
1	RWUF	接收唤醒标志 0: 静默模式下接收到的地址不匹配 1: 静默模式下接收到的地址匹配
0	PIEN	校验中断使能 0: 中断被禁止 1: 当 UARTSR 中的 PE 为 1 时, 产生 UART 中断

表 14.4.2 UARTnCR2(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TIEN	TCIEN	RIEN	WAKEIE	TEN	REN	UARTEN	—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TIEN	发送中断使能 0: 中断被禁止 1: 当 UARTSR 中的 TXE 为 1 时, 产生 UART 中断
6	TCIEN	发送完成中断使能 0: 中断被禁止 1: 当 UARTSR 中的 TC 为 1 时, 产生 UART 中断



5	RIEN	接收中断使能 0: 中断被禁止 1: 当 UARTSR 中的 OVR 或者 RXNE 为 1 时, 产生 UART 中断
4	WAKEIE	UART 在 STOP 模式唤醒中断使能 0: 唤醒中断被禁止 1: 当 WAKE 置位时请求中断
3	TEN	发送使能 0: 发送被禁止 1: 发送被使能
2	REN	接收使能 0: 接收被禁止 1: 接收被使能
1	UARTEN	UART 模块使能 0: UART 模块禁止 1: UART 模块使能

表 14.4.3 UARTnCR3(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADDR3	ADDR2	ADDR1	ADDR0	—	STOP	T8	R8
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-4	ADDR[3:0]	UART 从机地址
2	STOP	停止位选择 0: 1 个停止位 1: 2 个停止位
1	T8	发送数据位 8 0: 发送数据为 0 1: 发送数据为 1
0	R8	接收数据位 8 0: 接收数据为 0 1: 接收数据为 1



表 14.4.4 UARTnDR(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	UARTDR7:0							
R/W	R/W							
POR	0x00							

位	字段	描述
7-0	UARTDR[7:0]	UART 数据寄存器

表 14.4.5 UARTnSR(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	TXE	TC	RXNE	WAKE	SOFTSRST	OVR	FE	PE
R/W	R	R/W0	R/W0	R/W0	W	R/W0	R/W0	R/W0
POR	1	0	0	0	0	0	0	0

位	字段	描述
7	TXE	发送数据寄存器空 0: 数据还没有被转移到移位寄存器 1: 数据已经被转移到移位寄存器
6	TC	发送完成 0: 发送还未完成 1: 发送完成
5	RXNE	接收数据寄存器非空 0: 数据没有收到 1: 收到数据, 可以读出
4	WAKE	UART 唤醒中断标志位 0: 没有唤醒中断产生 1: 产生唤醒中断
3	SOFTSRST	UART 软件复位 0: 无操作 1: 复位 UART
2	OVR	溢出错误 0: 没有溢出错误 1: 检测到溢出错误
1	FE	帧错误 0: 没有检测到帧错误 1: 检测到帧错误
0	PE	奇偶检验错误 0: 没有检测到奇偶校验错误 1: 检测到奇偶校验错误



表 14.4.6 UARTnBRR1(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	UARTBRR1[7:0]							
R/W	R/W							
POR	0x00							

位	字段	描述
7-0	UARTBRR1[7:0]	UARTn 波特率控制寄存器 1

表 14.4.7 UARTnBRR2(n=0~2)寄存器

Bit	7	6	5	4	3	2	1	0
Name	UARTBRR2[7:0]							
R/W	R/W							
POR	0x00							

位	字段	描述
7-0	UARTBRR2[7:0]	UARTn 波特率控制寄存器 2

14.5 功能说明

14.5.1 数据格式

UART 通过 TX 引脚发送数据，由 RX 引脚接收数据。数据可以由 UARTCR1 中的 M 控制位选择 8bit 或 9bit 数据格式，具有可编程的奇偶校验使能位和可编程的停止位个数。

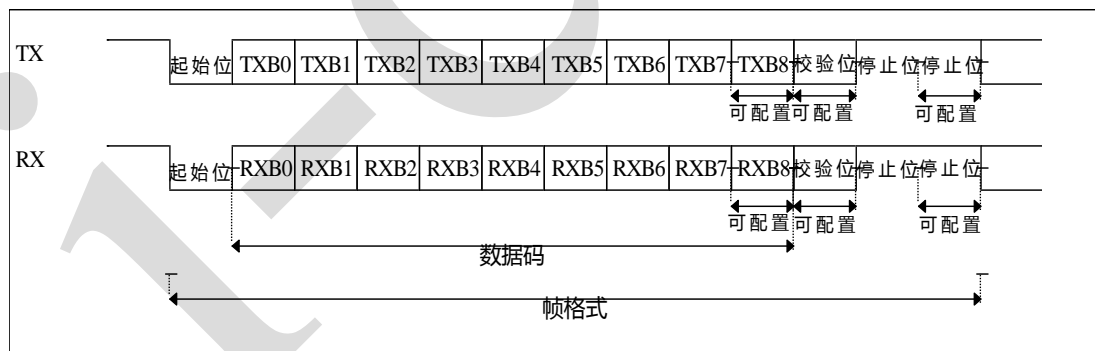


图 14.5.1 UART 数据格式图



14.5.2 发送器

发送器根据 M 位的状态发送 8 位或 9 位的数据字。当 M 位置 1，字长为 9 位，并且第九位(MSB)应该写入寄存器 UARTCR1 的 T8 位，当发送使能位(TEN)被设置时，发送移位寄存器中的数据在 TX 脚上输出。

14.5.3 接收器

UART 可以接收 8 位或 9 位的数据字。如果 M 位置 1，字长为 9 位，其中 MSB 存放在寄存器 UARTCR1 的 R8 位，在 UART 接收期间，数据的最低有效位首先从 RX 脚移进。在此模式里，UARTDR 寄存器有一个缓冲器，位于内部总线和接收移位寄存器之间。

14.5.4 高精度波特率发生器

接收器和发送器的波特率可按照下面的公式通过配置 16 位除法器 UARTDIV 来设置：

$$\text{BaudRate} = \frac{F_{\text{sys}}}{16 \times (2^{10} - \text{UARTBD}) + \text{Fraction}}$$

$$\text{UARTBD} = \text{UARTBRR2}[5:4] + \text{UARTBRR1}[7:0]$$

$$\text{Fraction} = \text{UARTBRR2}[3:0]$$

UARTDIV 是一个无符号的整数，存储在寄存器 BRR1 和 BRR2 中。

例：Fclk=16MHz，需要得到 115200Hz 的波特率，UARTBD 和 Fraction 值计算方法如下：

$$16000000/115200/16 = 8.6805$$

$$\text{UARTBD} = 1024 - 8 = 1016$$

$$\text{由 BaudRate 计算公式: } 115200 = 16000000/(16 \times 8 + \text{Fraction})$$

$$\text{得到: Fraction} = 10.88 \approx 11$$

$$10'd1016 = 8'h3F8, 10'd11 = 8'hB; \text{故 } \text{UARTBRR1} = 8'hF8, \text{UARTBRR2} = 8'h3B$$

波特计数器会在对寄存器 BRR1 写入新值时更新为新的波特率寄存器值，应当在写寄存器 BRR1 前，先写寄存器 BRR2。



表 14.5.1 波特率设置举例

Baud Rate	$f_{sys}=16\text{MHz}$			$f_{sys}=8\text{MHz}$		
	UARTBRR1	UARTBRR2	ERROR	UARTBRR1	UARTBRR2	ERROR
2400	0x60	0x2A	0.01%	0x30	0x35	0.01%
4800	0x30	0x35	0.01%	0x98	0x33	-0.02%
9600	0x98	0x33	-0.02%	0xCC	0x31	0.04%
14.4k	0xBB	0x37	0.01%	0xDE	0x3C	-0.08%
19.2k	0xCC	0x31	0.04%	0xE6	0x31	-0.08%
28.8k	0xDE	0x3C	-0.08%	0xEF	0x36	-0.08%
38.4k	0xE6	0x31	-0.08%	0xF3	0x30	0.16%
57.6k	0xEF	0x36	-0.08%	0xF8	0x3B	-0.08%
115.2k	0xF8	0x3B	-0.08%	0xFC	0x35	0.64%
230.4k	0xFC	0x35	0.64%	0xFE	0x33	-0.79%

14.5.5 奇偶校验

奇偶校验控制(发送时生成一个奇偶位,接收时进行奇偶校验)可以通过设置 UARTCR1 寄存器上的 PCEN 位而激活。此时数据帧的格式为:

|起始位|8/9 位数据|奇偶校验位|1/2 位停止位

接收模式: 如果奇偶校验失败, UARTSR 寄存器中的 PE 标志被置“1”, 并且如果 UARTCR1 寄存器的 PIEN 在被预先置 1 的话, 会产生中断。

发送模式: 如果 UARTCR1 的 PCEN 位被置位, 则在数据的 MSB 位发送后, 将校验位发送出去(根据 PS 值来选择偶校验还是奇校验), 之后再发送停止位。

14.5.6 多处理器通讯

在多处理器配置中, 只有被寻址的接收者被激活, 才接收随后的数据, 这样就可以减少由未被寻址的接收器的参与带来的多余的 UART 服务开销。

多处理器通信模式下, 未被寻址的设备处于静默模式。在静默模式里:

- 任何接收状态位都不会被设置
- 所有接收中断被禁止
- UARTCR1 寄存器中的 RWU 位被置 1

在多处理器通信模式里, 如果数据 MSB 位是 1, 该字节被认为是地址, 否则被认为是数据。在一个地址字节中, 目标接收器的地址被放在 4 个 LSB 中。这个 4 位地址被接收器同它自己地址做比较, 接收器的地址被编程在 UARTCR2 寄存器的 ADDR 位域中。



14.5.7 标志位

- 发送缓冲器空标志(TXE)

当 UARTDR 寄存器中的数据被硬件转移到移位寄存器的时候, 该位被硬件置位。如果 TIEN 位为 1, 则产生中断, 对 UARTDR 寄存器的写操作会使该位清零。

- 接收缓冲器非空(RXNE)

当移位寄存器中的数据被转移到 UARTRDR 寄存器中时该位被硬件置位, 如果 RIEN 为 1 则产生中断, 软件写零清零该标志位。

- 发送完成标志位(TC)

当一帧数据发送完毕后由硬件将该位置位, 若 TCIEN 置位则产生中断, 可软件写零清除该标志位, 对 UARTDR 寄存器的写操作也会清零该标志位。

- 接收唤醒标志位(RWUF)

当 UART 处于静默模式且接收到的地址和设定的本机地址匹配时硬件置位该标志位, RWUF 置位后若下一个接收到的地址不匹配或者 RWU 清零时硬件自动清零 RWUF, RWUF 也可以软件写零清零。

- 溢出标志位(OVR)

当 RXNE=1 且接收到的下一个数据准备写入到 UARTRDR 寄存器时 OVR 标志位被硬件置位, OVR 置位后所有之后传送的字节都被丢弃, 软件写零清除该标志位。

- 帧错误标志位(FE)

当检测到错误的停止位时硬件自动置位 FE 标志位, 软件写零清除 FE 标志位。

- 奇偶检验错误标志位(PE)

在接收模式下使能奇偶校验若出现奇偶校验错误硬件自动置位 PE, 若 PIEN 为 1 则产生中断, 软件写零清除该标志位。

- 唤醒标志位(WAKE)

STOP 模式下 UART 检测到 RX 引脚拉低时置位 WAKE, 若 WAKEIE 置位则产生中断, 软件写零清除 WAKE 标志位。



14.5.8 中断

UART 共有 5 个中断触发源：TXE、TC、RXNE、PE 和 WAKE，每个中断触发源都有单独的使能控制信号。

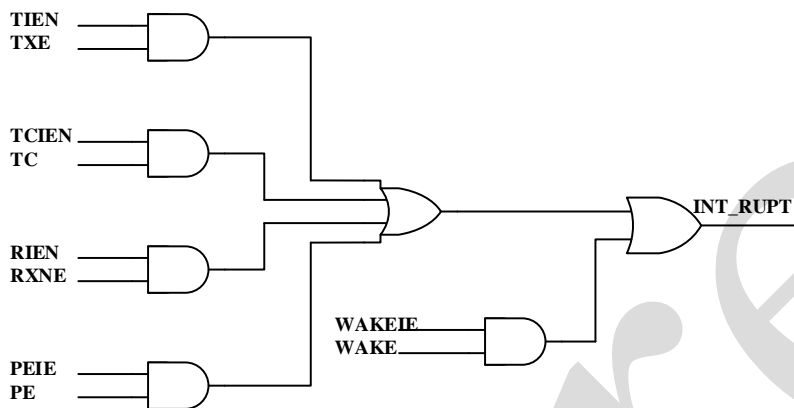


图 14.5.2 UART 中断框图

14.5.9 软件复位功能

UART 可置位 SOFTRST 来初始化 UART 模块，SOFTRST 控制位置位后硬件自动清零。



15 SPI

15.1 特性

该模块支持基于 SPI 协议的全双工，同步，串行通信方式。其通过串行时钟 SCK、数据线 MISO、数据线 MOSI、以及片选信号 NSS 进行基于 SPI 协议的通讯。该模块串行时钟相位及极性可选，数据发送顺序可选，并支持主及从机模式通讯。

- 三线全双工同步传输
- 可配置的 8 个主模式串行时钟频率(最快为 $f_{sys}/2$)
- 从模式下支持软件或硬件进行 NSS 管理
- 可编程的时钟极性和相位
- 可配置的数据发送顺序，MSB 在前或者 LSB 在前
- 支持三种中断：发送缓冲器空、接受缓冲器空和错误中断
- 可软件配置 MISO 和 MOSI 引脚功能交换

15.2 功能框图

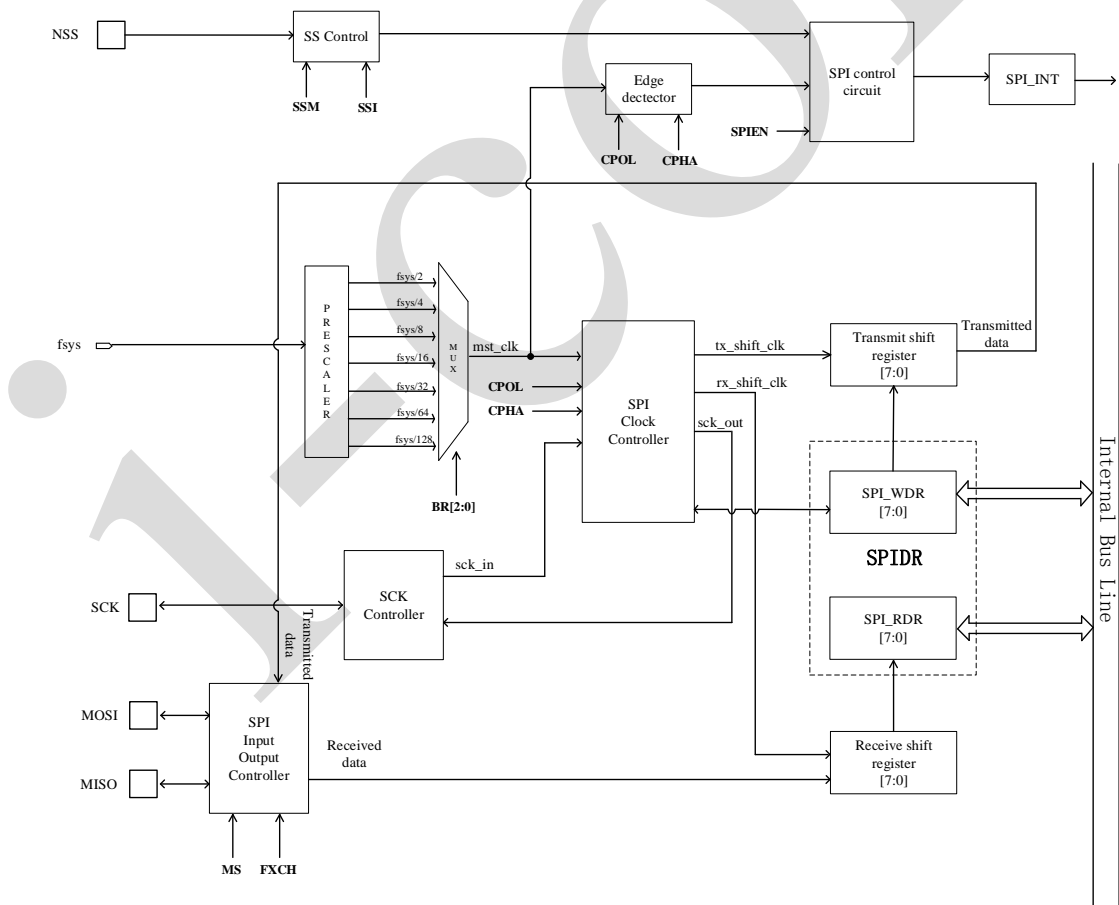


图 15.2.1 SPI 功能框图



15.3 寄存器列表

表 15.3.1 SPI 寄存器列表

寄存器名称	地址	描述	初值
SPICR1	DAH	SPI 控制寄存器 1	00H
SPICR2	DBH	SPI 控制寄存器 2	00H
SPISR	DCH	SPI 状态寄存器	02H
SPIDR	DDH	SPI 数据寄存器	00H

15.4 寄存器说明

表 15.4.1 SPICR1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SPIEN	DIR	MSTR	CPOL	CPHA	BR[2:0]		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	SPIEN	SPI 使能控制位 0: SPI 模块禁止 1: SPI 模块使能
6	DIR	SPI 数据帧格式 0: 先发送低字节 (LSB) 1: 先发送高字节 (MSB)
5	MSTR	SPI 主从模式选择 0: 从设备 1: 主设备
4	CPOL	SPI 管脚控制状态 0: 空闲状态 SCK 保持 0 1: 空闲状态 SCK 保持 1
3	CPHA	SPI 数据采样格式 0: SCK 周期的第一个沿采样数据 1: SCK 周期的第二个沿采集数据
2-0	BR[2:0]	SPI 工作时钟选择 000: fsys/4 001: fsys/16 010: fsys/64 011: fsys/128 100: fsys/2 101: fsys/8 110: fsys/32 111: fsys/64



表 15.4.2 SPICR2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	TXIE	RXIE	ERRIE	BUSY	MODF	—	—	—
R/W	R/W	R/W	R/W	R	R/W0	—	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TXIE	发送缓冲空中断使能 0: TXE 中断禁止 1: TXE 中断使能
6	RXIE	接收缓冲器非空中断使能 0: RXNE 中断禁止 1: RXNE 中断使能
5	ERRIE	错误中断使能 0: 禁止 1: 使能
4	BUSY	总线忙标志 0: SPI 空闲 1: SPI 忙于通信, 或者 TX 缓冲区非空
3	MODF	模式错误标志 0: 没有发生模式错误 1: 发生模式错误

表 15.4.3 SPISR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SPIIFR	OVR	SS_HIGH	—	FXCH	SSENA	TXE	RXNE
R/W	R/W0	R/W0	R/W0	—	R/W	R/W	R	R/W0
POR	0	0	0	0	0	0	1	0

位	字段	描述
7	SPIIFR	SPI 中断标志位 0: 没有中断产生 1: 有中断产生
6	OVR	溢出标志位 0: 没有发生溢出错误 1: 有发生溢出错误
5	SS_HIGH	NSS 引脚状态标志 0: NSS 引脚状态为低电平 1: NSS 引脚状态为高电平, 软件写“0”可清除
3	FXCH	SPI 端口控制位 0: 无影响



表 835-11-B5

		1: 更换 MOSI 和 MISO 端口功能
2	SSENA	NSS 引脚控制位 0: 禁止外部引脚控制 NSS, 芯片自动将 SS_HIGH 状态配置为 0 1: 使能外部引脚控制 NSS, SS_HIGH 的值为外部引脚输入
1	TXE	发送缓冲区空标志位 0: 发送缓冲区非空 1: 发送缓冲区空
0	RXNE	接受缓冲区空标志 0: 接收缓冲区空 1: 接收缓冲区非空

表 15.4.4 SPIDR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	SPIDR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	SPIDR[7:0]	SPI 数据寄存器

15.5 功能说明

15.5.1 数据收发

SPI 通讯协议中, 根据选择的空闲模式下串行时钟(SCK)的相位(空闲时为高/低电平)以及采样边沿的选择(第一个沿及后续奇数沿/第二个沿及后续偶数沿), 可以组成 4 种极性相位组合的采样时序。对于该模块, SCK 在空闲时的相位可由 CPOL 配置, 数据被采样的边沿可由 CPHA 配置。

对于串行时钟 SCK, 当配置该 SPI 为主机时, 由该模块内部产生。其频率由 BR[2:0]配置。当配置该 SPI 为从机时, SCK 为从主机接收的时钟。

当 CPHA 为 0 时, 从模式下数据的收发时序如下图所示

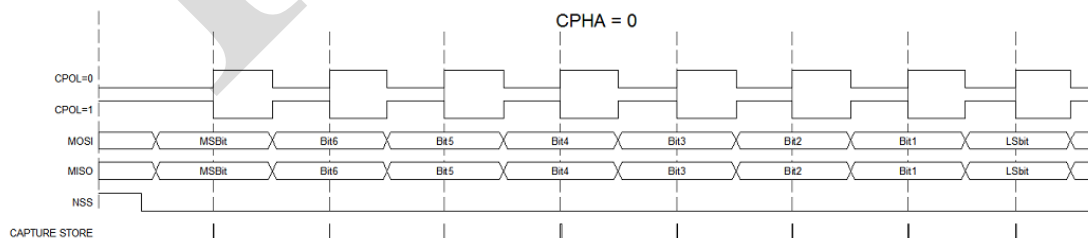


图 15.5.1 CPHA 为 0 时的 SPI 收发时序

当 CPHA 为 1 时，从模式下数据的收发时序如下图所示

若配置 CPOL 为 1，则 SPI 在空闲模式时，SCK 为高电平。数据会在 SCK 第二个沿(上升沿)及后续的偶数沿(上升沿)被采样，数据会在第一个沿(下降沿)及后续的奇数沿(下降沿)被准备。



15.5.2 NSS 引脚管理

NSS 为该 SPI 的片选信号，由控制位 SSEN 对其进行控制。当配置 SSEN 为 0 时，NSS 的输入电平由模块内部产生，从机时为 0，主机时为 1。在不需要使用 NSS 引脚的时候，应配置 SSEN 为 0。当配置 SSEN 为 1 时，内部 NSS 的电平由外部引脚决定。内部 NSS 引脚电路原理图如下图所示

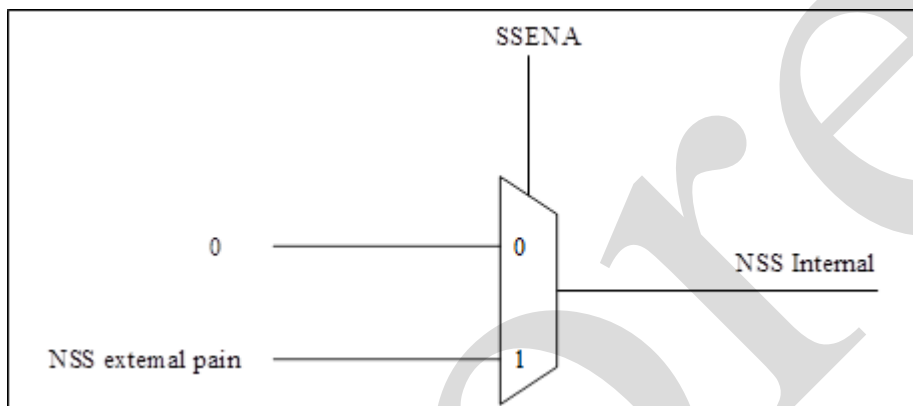


图 15.5.3 NSS 引脚管理图

15.5.3 SPI 标志位信号

（1）总线忙标志（BMSY）

该标志位表明 SPI 总线上是否有正在进行的通信。当该标志位为 1 时，表明 SPI 正在进行数据收发，或是在发送缓冲器里面有一个有效的数据正在等待被发送。

以下情况时此标志位将被置 1：

- 主机模式时，数据被写入 SPIDR 寄存器。
- 从机模式时，SCK 正在被从时钟引脚上接受。

当完成一个字节的收发后，BMSY 标志位会立即置零；该标志位由硬件控制，写此标志位无效。监视该标志位可以避免写冲突错误。当 SPIEN 置 1 时，该标志位有效。

（2）发送缓冲器空标志（TXE）

当发送缓冲器为空时，该标志位为 1。当有数据被写入进发送缓冲器而使发送缓冲器有一个待发送的数据时，发送缓冲器为 0。只有当 SPIEN 为 1 时该标志位有效，当 SPIEN 为 0 时该标志位为 0。

（3）接受缓冲器非空（RXNE）



当 SPI 完成一个字节的数据的接收后，该标志位置 1，表示接收缓冲器中包含被接收的有效数据。该标志位需要软件写 0 清除。

(4) 模式错误 (MODF)

当片选信号被配置为由外部引脚输入时($SSENA = 1$)：在主机模式下 NSS 引脚接收到低电平，或从机模式下 NSS 引脚接收到高电平，则 MODF 标志位置 1。

当片选信号被配置为由模块内部产生时($SSENA=0$)：在主机模式下 SSI 被复位或在从机模式下 SSI 被置位，则 MODF 置 1。

MODF 标志位由硬件置 1，软件清 0。

MODF 标志位会对 SPI 模块有如下影响：

- MODF 位被置位时，若 ERRIE 配置为 1，则产生 SPI 中断。
- SPIEN 位被复位，所有 SPI 模块的输出信号停止发送，并且关闭 SPI 接口。
- MSTR 位被硬件清 0，迫使 SPI 模块进入从机模式。

(5) 溢出错误 (OVR)

在 RXNE 标志位由于接收到 1 字节的数据而置起后，若在下一个字节的数据被从引脚上被接受时，RXNE 没有被软件清 0，则 OVR 标志位会置起。当 ERRIE 被配置为 1 时，会产生 SPI 中断。

(6) 中断标志位 (SPIIFR)

该位表明 SPI 是否产生中断，执行中断后硬件清 0 或软件清 0。

(7) NSS 引脚状态标志位 (SS_HIGH)

在 NSS 引脚被配置为由外部引脚输入时，SS_HIGH 用于指示 NSS 引脚状态。当 NSS 引脚输入为高时，SS_HIGH 置 1；当 NSS 引脚输入为低时，SS_HIGH 位清 0。该标志位可由软件清 0。



15.5.4 SPI 中断

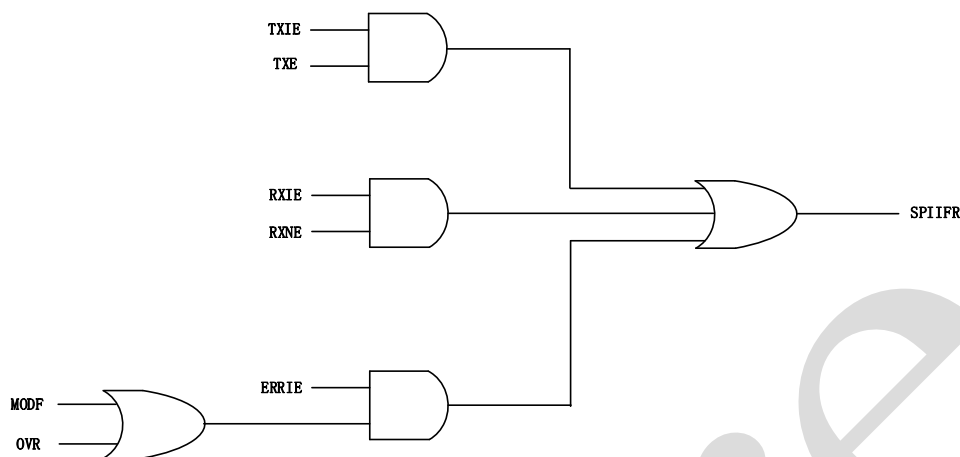


图 15.5.4 SPI 中断框图



16 I2C

16.1 特性

I2C 通过 SDA 和 SCL 两根数据线进行半双工串行通讯，I2C 可配置主从模式，由主机提供通讯时钟 SCL，SDA 和 SCL 需要外接上拉电阻。

- 并行总线 I2C 总线协议转换器
- 多主机功能：该模块既可作为主设备也可作为从设备，支持多主机和主机仲裁
- I2C 主设备功能
 - 产生时钟
 - 产生起始和停止信号
- I2C 从设备功能
 - 可编程的 I2C 地址检测（7 位从机地址）
 - 支持广播呼叫功能
 - 起始位/停止位检测
- 支持软件复位功能
- 状态标志
 - 发送器/接收器模式标志
 - 字节发送结束标志
 - I2C 总线忙标志
 - 接收缓存器非空标志/发送缓存空标志
 - 起始/停止条件检测标志
 - 地址响应标志
- 错误标志标志
 - 主模式仲裁失败
 - 地址/数据传输后的应答（ACK）错误
 - 接收器溢出错误
- 多种中断触发源
- 可配置 SDA 在 SCL 下降沿数据保持的时间

图 16.2.1 I2C 功能框图

版本: 2025-07-A3



16.4 寄存器说明

表 16.4.1 I2CnSR1 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	GCALL	BTF	STOPF	ADDR	ARLO	BUSY	TRA	RXACK
R/W	R	R/W0	R/W0	R/W0	R/W0	R	R	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	GCALL	主控模式：该位代表是否从从机接收 ACK 信号 0：没有接收到 ACK 信号 (Master mode) 1：接收到 ACK 信号 (Master mode) 从动模式：表示一般调用 0：没有检测到常规调用地址(Slave mode) 1：检测到常规调用地址(Slave mode)
6	BTF	字节发送结束标志位 0：数据字节发送未完成 1：数据字节发送结束
5	STOPF	主控模式：从动模式： 0：停止条件发送未完成 0：没有检测到停止条件 1：停止条件发送完成 1：检测到停止条件
4	ADDR	主控模式：从动模式： 0：地址发送未结束 0：收到的地址不匹配 1：地址发送结束 1：收到的地址匹配 I2C 寻址成功后若 I2C 为发送状态，则写 I2C_DR 寄存器会自动清除 ADDR 标志位；若 I2C 为接收状态，需软件写‘0’清除该标志位
3	ARLO	仲裁失败（主模式） 0：未检测到仲裁失败 1：检测到仲裁失败
2	BUSY	总线忙标志位 0：总线上没有通信 1：总线上有通信
1	TRA	发送器/接收器状态标志位 0：接收数据 1：发送数据
0	RXACK	显示 ACK 信号状态 0：没有 ACK 信号 1：SCL 第 9 个周期接收到 ACK 信号



表 16.4.2 I2CnSR2 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	TXE	RXNE	TOIFR	—	STARTF	IICIFR	OVR	—
R/W	R	R/W	R/W0	—	R/W	R	R/W0	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	TXE	数据寄存器为空(发送时) 0: 发送数据寄存器非空 1: 发送数据寄存器空
6	RXNE	数据寄存器非空(接收时) 0: 接收数据寄存器为空 1: 接收数据寄存器非空
5-4	TOIFR	I2C 超时标志位 0: 未发生 I2C 超时 1: 发生 I2C 超时
3	STARTF	起始条件检测标志位 主模式: 0: 起始条件发送未完成 1: 起始条件发送完成 从模式: 0: 没有检测到起始条件 1: 检测到起始条件
2	IICIFR	I2C 中断标志位 0: 没有 I2C 中断 1: 产生 I2C 中断
1	OVR	溢出错误标志位 0: 未发生溢出错误 1: 发生溢出错误
0	NO_ACK	未接收到应答信号标志位 0: 接受到应答信号 1: 未接受到应答信号

表 16.4.3 I2CnDR 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	I2CDR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CDR	I2C 数据寄存器



表 16.4.4 I2CnADDR 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	I2CADDR[7:1]							—
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-1	I2CDR	I2C 地址数据寄存器

表 16.4.5 I2CnCCRL 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	I2CCCRL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CCCRL	I2C 时钟控制数据寄存器低字节 I2C 使能后该寄存器不能写入

表 16.4.6 I2CnCCRH 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	I2CCRH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CCRH	I2C 时钟控制数据寄存器高字节 I2C 使能后该寄存器不能写入

表 16.4.7 I2CnSDHR 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	I2CSDHR[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	I2CSDHR	配置 SDA 数据在 SCL 下降沿后保持时间



表 16.4.8 I2CnCR1 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	I2CRST	I2CEN	STRETCHEN	IICIE	ACKEN	MODE	STOP	START
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	I2CRST	软件复位 0: 无影响 1: I2C 模块复位初始化
6	I2CEN	I2C 使能控制位 0: 禁用 I2C 模块 1: 启用 I2C 模块, I2C 引脚自动配置为开漏引脚
5	STRETCHEN	I2C 时钟延展使能位 (只在从模式下有效) 0: 禁止 1: 使能
4	IICIE	中断使能位 0: 禁止 I2C 中断 1: 使能 I2C 中断
3	ACKEN	应答使能 0: 不返回应答 1: 收到一个字节(匹配的地址字节或者数据字节)后返回应答 该位必须在使能 I2C 模块后才允许写入
2	MODE	I2C 操作模式选择控制位 0: 从机 1: 主机
1	STOP	发送 STOP 信号控制位 0: 不产生停止位 1: 当前字节传输完成后, 或者当前起始位发送完后, 产生停止位 该位必须在使能 I2C 模块后才允许写入, STOP 发送结束后硬件自动清除该位
0	START	发送 START 信号控制位 0: 不产生起始位 1: 产生起始位或重复起始位 该位必须在使能 I2C 模块后才允许写入 该位必须在使能 I2C 模块后才允许写入, START 发送结束后硬件自动清除该位



表 16.4.9 I2CnTOCR 寄存器(n=0、1)

Bit	7	6	5	4	3	2	1	0
Name	I2CTOEN	—	I2CTOCS[5:0]					
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	I2CTOEN	I2C 超时控制使能位（只在从模式下有效） 0：禁止 1：使能
6	保留	
5-0	I2CTOCS[5:0]	I2C 超时时间选择（1ms~64ms） 000000：1ms 000001：2ms 000010：3ms 111111：64ms

16.5 功能说明

16.5.1 工作方式

I2C 模块不仅可以接收和发送数据，还可以在接收时将数据从串行转换成并行数据，在发送时将数据从并行转换成串行数据，可以开启或禁止中断。接口通过数据引脚（SDA）和时钟引脚（SCL）连接到 I2C 总线。

16.5.2 模式选择

接口可以配置为以下 4 种模式中的一种

- 从设备发送模式
- 从设备接收模式
- 主设备发送模式
- 从设备接收模式

默认条件下 I2C 模块工作在从模式下



16.5.3 通信过程

主模式时，I2C 接口启动数据传输并产生时钟信号。串行数据传输总是以起始条件开始并以停止条件结束。起始条件和停止条件都是在主模式下由软件控制产生。

从模式时，I2C 接口能识别它自己的地址，并与接收到的地址进行校验。

数据和地址按 8 位/字节进行传输高位在前。跟在起始条件后的第 1 个字节是地址。地址只在主模式发送。

在一个字节传输的 8 个时钟后的第 9 个时钟期间，接收器必须回送一个应答位(ACK)给发送器。

16.5.4 通信协议

当时钟高电平周期时，SDA 总线上的数据必须保持稳定，SCL 线上的时钟信号是低时，数据线上的高或低状态才可以改变。START 和 STOP 情况除外，这些情况下数据线改变发生在时钟线高电平时。

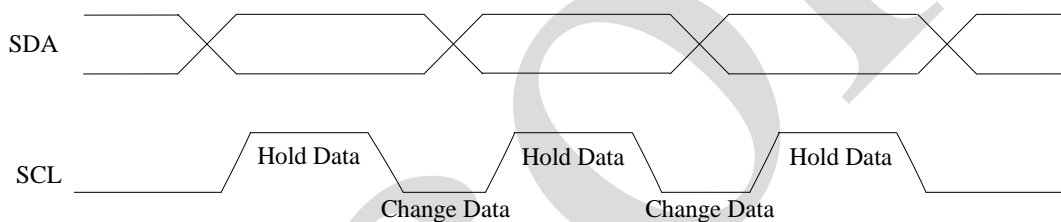


图 16.5.1 I2C 总线协议

16.5.5 时钟同步和总线仲裁

时钟同步是由 I2C 和 SCL 线与连接完成。意思就是 SCL 上一个由高到低到转变将会引起设备开始对低电平脉冲进行计数并保持 SCL 现在的状态直到时钟高电平被接收到。然而如果另一个时钟仍然维持在低电平的话，时钟由低到高的变化不能改变 SCL 线的状态。这样，随着最长的低电平脉冲产生一个同步 SCL 时钟，高电平由最短的高脉冲决定。

如果总线空闲时主机可以开始进行发送。两个或更多个主机可以产生 START 信号。仲裁在 SDA 线上产生，当 SCL 高电平时，通过主机发送一个高电平，当另一个主机在发送低电平时会关闭数据输出状态，因为总线电平不等于它自身的电平。仲裁连续很多位直到一个主机赢得 I2C 总线。

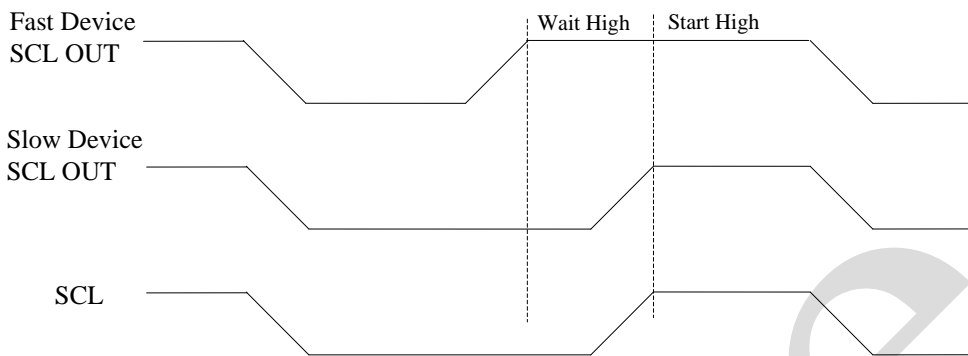


图 16.5.2 时钟同步

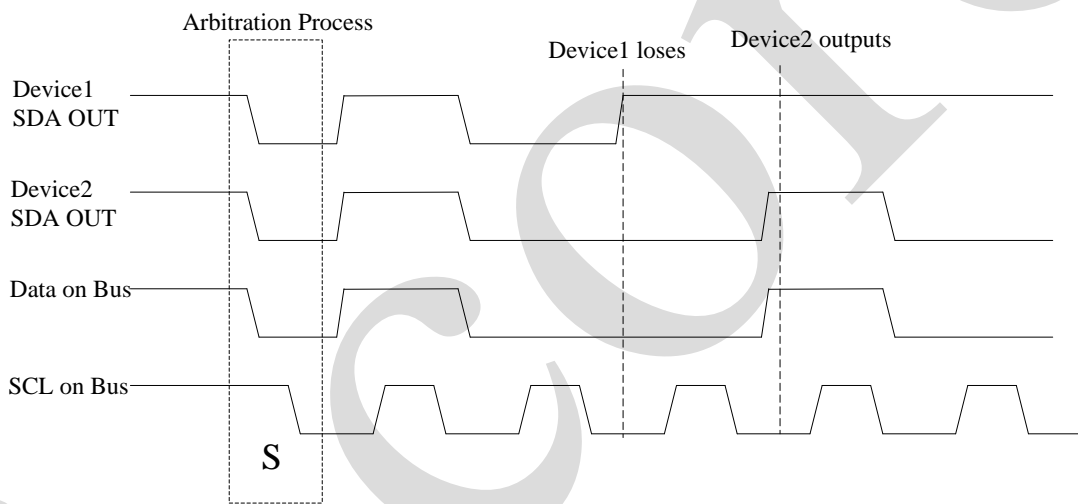


图 16.5.3 总线仲裁机制

16.5.6 START/STOP 信号

主控制器会发出一个 START 信号通知其他设备连接他们将会用到 SCL, SDA 总线。一个 STOP 信号由主控制器产生去释放总线以便其他设备可以使用。

SCL 高电平时, SDA 上由高到低的转变被规定是一个 START 信号。

SCL 高电平时, SDA 上由低到高的转变被规定是一个 STOP 信号。

START 和 STOP 信号由主机产生。START 信号后总线通常被认为是忙碌。STOP 信号后总线被认为释放, 总线在 START 和 STOP 信号之间是忙碌状态。如果 STOP 信号被重复 START 信号取代, 总线保持忙碌状态。

所以, START 和重复 START 信号功能上是一样的。

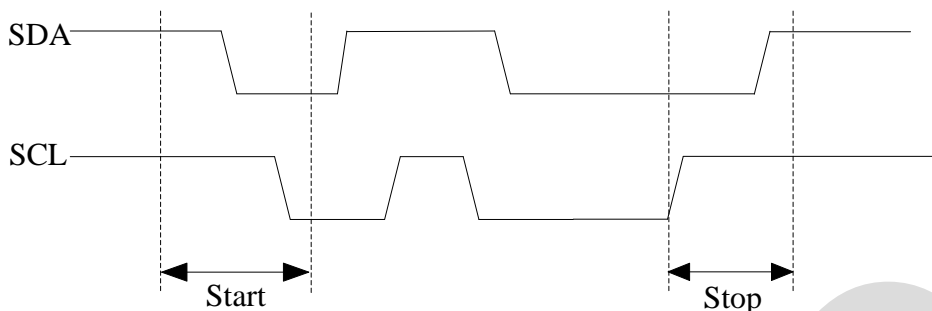


图 16.5.4 START/STOP 信号

16.5.7 时钟发生器

主模式下的 SCL 时钟可按照下面的公式通过配置 16 位时钟控制寄存器来设置：

$$I2C_CCR[15:0] = \frac{F_{sys}}{5 \times F_{scl}} - 1$$

$I2C_CCR[15:0] = \{I2C_CCR[7:0], I2C_CCRL[7:0]\}$

F_{scl} 为 SCL 时钟的频率

例： $F_{sys} = 24MHz$ ， $F_{scl} = 100KHz$ ，计算方法如下：

$$I2C_CCR[15:0] = \frac{24000000}{5 \times 100000} - 1 = d'47 = h'2F$$

故 $I2C_CCR[7:0] = 8'h00$ ， $I2C_CCRL[7:0] = 8'h2F$

SCL 时钟的占空比为低电平：高电平 = 3:2。

16.5.8 主机发送

I2C 作为主机发送时，以下是推荐的步骤：

- 1) 向 $I2C_CCR[7:0]$ 和 $I2C_CCRL[7:0]$ 写入期望值，设置 I2C 的发送接收时钟；
- 2) 设置 $I2C_CR1$ 的 $I2C_EN$ 位使能 I2C，并且设置如何处理中断；
- 3) 设置 $I2C_CR2$ 的 $MODE$ 位使能主机模式。置位 $START$ 位，发送一个 $START$ 信号。当 $START$ 位复位时，完成起始条件的发送；
- 4) 加载 $SLA+W$ 到 $I2C_DR$ ，这里 SLA 是从机的地址， W 是基于主机角度的传送方向。
主机发送时， W 是 0；主机接受时， W 是 1。注意 $I2C_DR$ 被地址和数据共用；
- 5) 7 位地址和 1 位传输方向被发送到目标从机时，主机会根据在 SCL 高电平的第九位从机是否应答来判断是否寻址到从机；



I2C (Master)在接收从机的 ACK 应答信号时可有以下几种情况：

- a) 主机从从机接收到 ACK 信号，表示从机接收到匹配的地址，可以接收主机发送数据；
- b) 主机没有接收到从机的 ACK 信号，表示没有从机响应主机。此时 I2C_CR1 的 STOP 位置位，停止主机发送操作；
- c) 主机由于没有检测到从机的 ACK 信号而发送重复 STAR 信号。重新加载 SLA+R/W 到 I2C_DR，寻找新的从机；

在第一种情况时，转移到 6。如果是第二种情况，转移到 7 去处理 STOP 中断。如果是第三种情况，发送完 I2C_DR 中的数据后转移到 4。如果传送方向位是 0 转到主机发送部分。

- 6) I2C 主机寻址到从机后，可以向 I2C_DR 寄存器写入数据，开始数据的发送。在数据发送完成后，在 SCL 高电平的第九位接收从机的 ACK 信号。此时，可能接收到 ACK 信号，也可能接收不到 ACK 信号；

I2C (Master) 在接收从机的 ACK 应答信号时可有以下几种情况：

- a) 主机从从机接收到 ACK 信号，由于从机可以从主机接收更多的数据所以继续数据传送。这样的话，加载数据到 I2C_DR；
- b) 主机停止数据传送即使它接收从机的 ACK 信号。此时 I2C_CR1 的 STOP 位置位；
- c) 主机接收到 ACK 信号，但发送重复 START 信号。然后，加载 SLA+R/W 到 I2C_DR，寻址新的从机；
- d) 主机没有接收到从机的 ACK 应答信号，表示该从机不再接收主机发送的数据。主机可发送重复 START 信号然后，加载 SLA+R/W 到 I2C_DR，寻址新的从机。或置位 STOP 位停止发送；

在第一种情况时，转移到 6。如果是第二种情况，移到 7 去处理 STOP 中断。如果是第三种情况，发送完 I2C_DR 中的数据后转移到 4，同时如果传送方向位是 1 转到主机接收部分。如果是第四种情况，根据主机发送的信号，选择转移到 5 或 7。

这是 I2C 传送功能的最后一步，主机置位 STOP 位发送停止条件，之后复位 STOP 位。发送停止表示主机和从机之间的数据传送已经完成。然后 I2C 进入空闲状态。

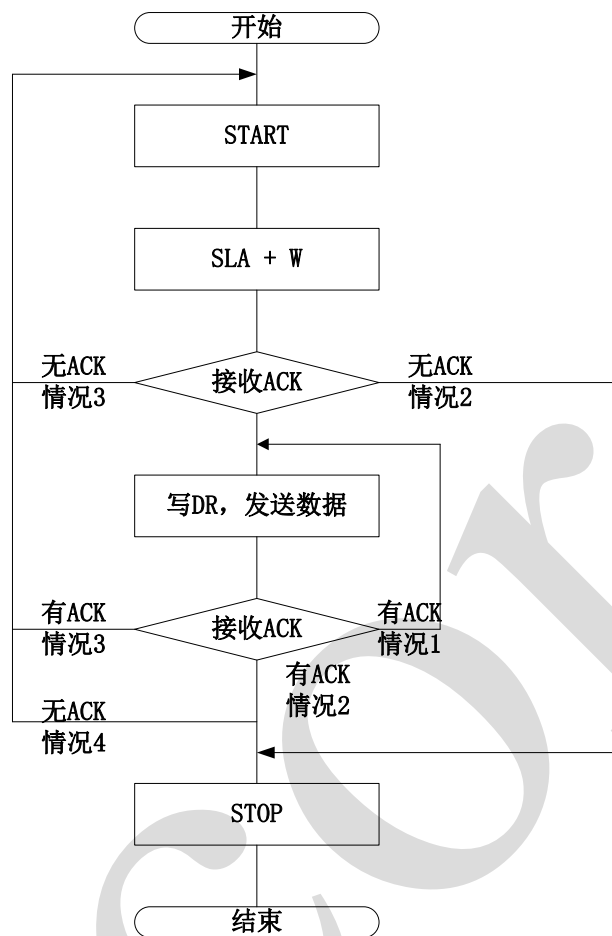


图 16.5.5 主机发送流程图

16.5.9 主机接收

I2C 作为主机接收时，以下是操作步骤：

- 1) 向 I2C_CCRH 和 I2C_CCRL 写入期望值，设置 I2C 的发送接收时钟；
- 2) 设置 I2C_CR1 的 I2C_EN 位使能 I2C，并且设置如何处理中断；
- 3) 设置 I2C_CR1 的 MODE 位使能主机模式。置位 START 位。发送一个 START 信号。
当 START 位复位时，完成起始条件的发送；
- 4) 加载 SLA+R 到 I2C_DR，这里 SLA 是从机的地址，R 是基于主机角度的传送方向。主机接收时，R 是 1。注意 I2C_DR 被地址和数据共用；
- 5) 7 位地址和 1 位传输方向被发送到目标从机时，主机会知道在 SCL 高电平的第九位从机是否应答。此时，可能接收到 ACK 信号，也可能接收不到 ACK 信号；

I2C (Master) 在接收从机的 ACK 应答信号时可有以下几种情况：



- a) 主机从从机接收到 ACK 信号，表示从机接收到匹配的地址，可以向主机发送数据，主机需准备接受来自从机的数据。设置 I2C_CR1 的 ACKEN 位决定 I2C 是否应答下一个接收的数据；
- b) 主机没有接收到从机的 ACK 信号，表示没有从机响应主机，向主机发送数据。此时 I2C_CR1 的 STOP 位置位，停止主机接收操作；
- c) 主机由于没有检测到从机的 ACK 信号而发送重复 STAR 信号。此时，加载 SLA+R/W 到 I2C_DR，寻找新的从机；

在第一种情况时，转移到 6。如果是第二种情况，转移到 8 去处理 STOP 中断。如果是第三种情况，发送完 I2C_DR 中的数据后转移到 5。如果传送方向位是 0 转到主机发送部分。

- 6) 接收一个字节的的数据；
- 7) 根据主机是否置位了 ACKEN 位，设置在接收到数据后是否发送 ACK 应答信号。主机根据是否发送 ACK 信号而选择以下的某一种情况：
 - a) 主机发送 ACK 信号，表示主机继续从从机接收数据；
 - b) 主机未发送 ACK 信号，不在接收数据。I2C_CR1 的 STOP 位置位，停止主机接收操作；
 - c) 主机未发送 ACK 信号，不在接收数据，而发送重复 START 信号。此时，加载 SLA+R/W 到 I2C_DR，寻找新的从机；

如果主机没有发送 ACK 信号，表示主机想要终止数据接收。如果想要终止数据接收，需在接收到上一个数据，发送 ACK 信号后复位 I2C_CR1 的 ACKEN 来保证接收完最后一个数据不发送 ACK 信号。

在第一种情况，转移到 6。如果是第二种情况，转移到 8 去处理 STOP 中断。如果是第三种情况，发送完 I2C_DR 中的数据后转移到 5，同时如果传送方向位是 0 转到主机发送部分。

- 8) 这是 I2C 传送功能的最后一步，主机置位 STOP 位发送停止条件，表示主机和从机之间的数据传送已经完成；

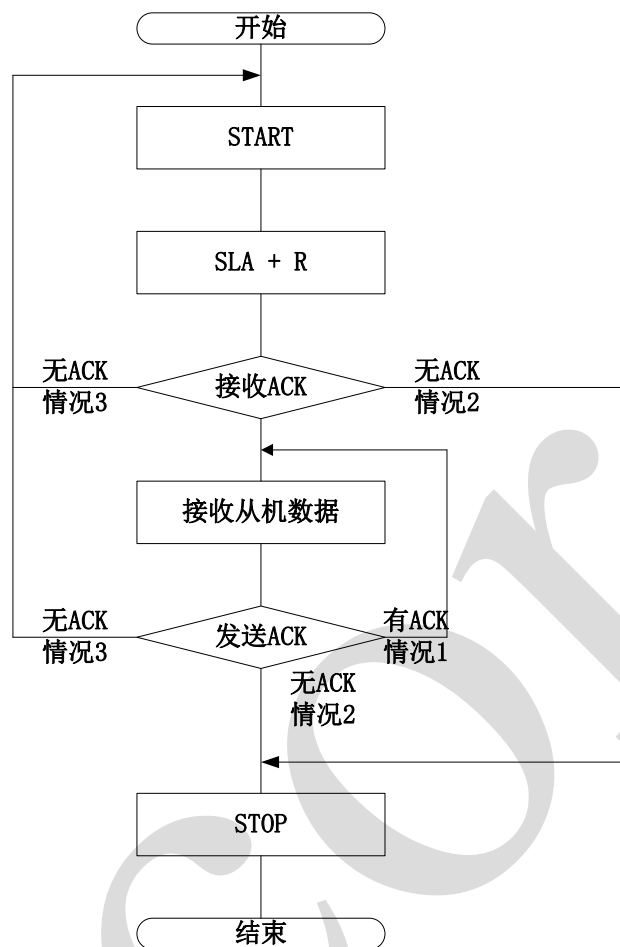


图 16.5.6 主机接收流程图

16.5.10 从机发送

I2C 作为从机发送时，以下是推荐的步骤：

- 1) 设置 I2C_CR1 的 I2C_EN 位使能 I2C，并且设置如何处理中断；
- 2) 当检测到一个 START 信号，I2C 接收一个字节的的数据与 I2C_ADDR 的 SLA 位比较；
- 3) 如果接收地址不等于 I2C_ADDR 的 SLA，I2C 进入空闲状态等待下一个开始信号；如果地址等于 SLA 位并且 ACKEN 位是打开的，I2C 从机发送 ACK 应答信号并置位 ADDR 位。注意即使地址等于 SLA，当 ACKEN 位禁止时，I2C 仍进入空闲状态；
- 4) I2C 从机清除 ADDR 位并向 I2C_DR 寄存器写值，经由移位寄存器发送到 SDA 线上；
- 5) 从机根据主机接收到数据后的操作来选择以下几种情况：



- a) 从机接收到主机发送的 ACK 应答信号，表明主机继续接收数据，从机重新加载数据到 I2C_DR，继续发送数据；
- b) 主机未发送 ACK 信号且置位 STOP 位发送了停止条件。从机接收到停止条件，置位 STOPF 位，表示主机和从机之间的数据传送已经完成，从机进入空闲状态，等待下一个开始信号；

主机未发送 ACK 信号且发送了重复 START 信号，从机转移到 2；

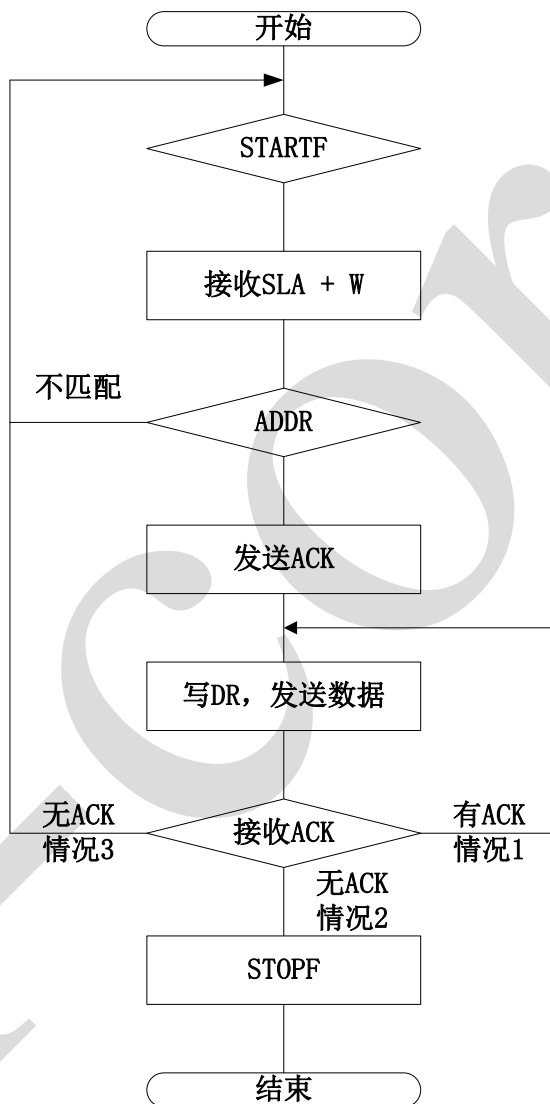


图 16.5.7 从机发送流程图



16.5.11 从机接收

I2C 作为从机接收时，以下是推荐的步骤：

- 1) 设置 I2C_CR1 的 I2C_EN 位使能 I2C，并且设置如何处理中断；
- 2) 当检测到一个 START 信号，I2C 接收一个字节的数据与 I2C_ADDR 的 SLA 位比较；
- 3) 如果接收地址不等于 I2C_ADDR 的 SLA，I2C 进入空闲状态等待下一个开始信号。如果地址等于 SLA 位并且 ACKEN 位是打开的，I2C 从机发送 ACK 应答信号。注意即使地址等于 SLA，当 ACKEN 位禁止时，I2C 仍进入空闲状态；
- 4) 主机接收到 ACK 信号后开始发送数据，从机正常接收主机发送的数据，并在接收完毕后根据 ACKEN 位选择是否发送 ACK 应答信号；

从机根据主机接收到 ACK 信号后的操作来选择以下几种情况：

- a) 主机接收到 ACK 信号后继续发送数据，从机继续接收主机发送的数据，并在接收完毕后根据 ACKEN 位选择是否发送 ACK 应答信号，
 - b) 主机接收到 ACK 信号后置位 STOP 位发送了停止条件，从机接收到停止条件后进入空闲状态，等待下一个开始信号。
 - c) 主机接收到 ACK 信号后发送了重复 START 信号，则从机转移到 2。
- 5) 从机想要终止数据接收，则在接收到上一个数据，发送 ACK 信号后复位 I2C_CR1 的 ACKEN 来保证接收完最后一个数据不发送 ACK 信号，表示该从机不再接收主机发送的数据。之后等待主机发送的停止条件或重复的起始信号。

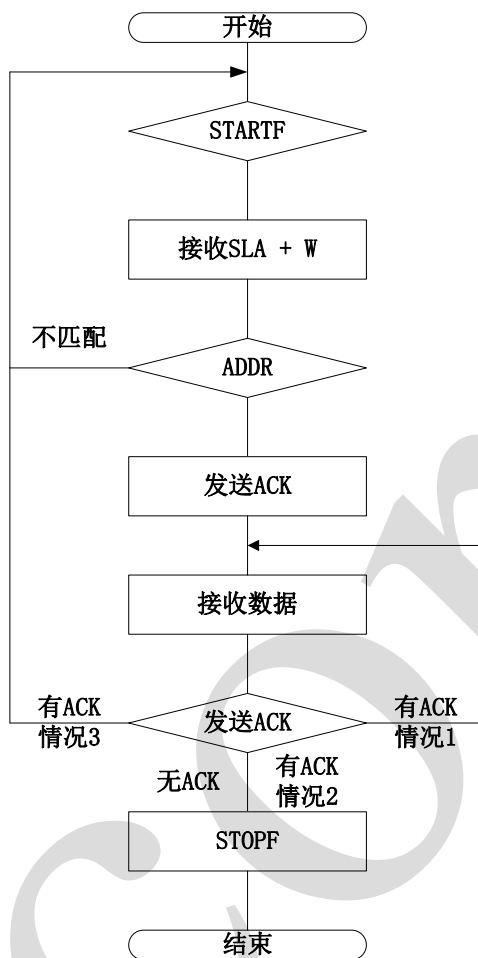


图 16.5.8 从机接收流程图

16.5.12 I2C 状态标志

(1) 总线忙 (BUSY)

此标志位表明 I2C 是否处于通信中，当硬件检测到 SDA 或者 SCL 变成低电平，该位置位；检测到结束条件时，硬件清零该位。该位表明总线上时候正有通信在进行。即使模块没有使能的情况下(I2C_EN=0)，该位也有效。

(2) 发送缓冲器空标志(TXE)

在发送数据时，数据寄存器为空时该位被置 1，在发送地址阶段不设置该位。软件写数据到 DR 寄存器可清除该位；或在发生一个起始或停止条件后，或当 I2C_EN=0 时由硬件自动清除

(3) 接收缓冲器非空(RXNE)

在接收时，当数据寄存器不为空，该位被置 1。在接收地址阶段，该位不被置位。发生



ARLO 时，不会置位 RXNE 位。软件写零清除该位，或当 I2C_EN=0 时由硬件清除。

(4) 停止条件检测位 (STOPF)

主模式：

0：停止条件发送未完成

1：停止条件发送完成

从模式：

0：没有检测到停止条件；

1：检测到停止条件。

注：当主设备发送完停止条件或从设备在总线上检测到停止条件时，硬件将该位置起之后，必须软件写 0 清除该位（否则通讯将产生异常），或当 I2C_EN=0 时，硬件清除该位。

(5) 起始条件检测 (STARTF)

主模式：

0：起始条件发送未完成

1：起始条件发送完成

从模式

0：未检测到起始条件

1：检测到起始条件

注意：主模式下，起始条件后写入发送的地址数据自动清除该位。或当 I2C_EN=0 时，硬件清除该位。

(6) 字节发送结束标志位 (BTF)

0：数据字节发送未完成；

1：数据字节发送结束；

注意：在发送时，当一个新数据将被发送且数据寄存器还未被写入新的数据(TXE=1)。如果收到 NACK 或发生仲裁错误，则不会置位 BTF。在软件对数据寄存器写操作将清除该位；或在传输中发送一个起始或停止条件后，或当 I2C_EN=0 时，由硬件清除该位，也可软件写零清除该位

(7) 地址响应标志位 (ADDR)

地址匹配(从模式)

0：地址不匹配或没有收到地址；

1：收到的地址匹配。

— 当收到的从地址与 I2C_ADDR 寄存器中的内容相匹配硬件就将该位置‘1’。

地址已被发送(主模式)

0：未发送地址；



1: 地址发送结束。

注意: 在如果未收到 ACK 应答, ADDR 位不会被置位。可软件清除该位或写数据寄存器清除该位, 或当 I2C_EN=0 时, 由硬件清除该位。

(8) 发送/接收指示标志位 (TRA)

该位在整个寻址阶段结束时, 根据地址字节的 R/W 位来决定。当检测到结束条件(STOPF=1), 重复起始条件, 总线仲裁失败(ARLO=1), 或者 I2C_EN=0 时由硬件清零。

16.5.13 I2C 错误标志

(1) 仲裁失败标志位 (ARLO)

当该模块丢失了对总线的仲裁控制并转交给其他主设备, 硬件自动置位 ARLO。软件写 0 清除该位; 或者当 I2C_EN=0 时由硬件清零。仲裁失败发生后, 模块自动切换回从模式 (MODE=0)

(2) 溢出错误标志位 (OVR)

接收时, 当 DR 寄存器中的内容还没有读出, 并且没有清除 RXNE 位, 又收到新的字节(包括 ACK 脉冲), 会发生溢出错误, 新收到的字节将丢失。如果发生 ARLO 时, OVR 不会被置位。软件写 0 清除该位之前, 先要清除 RXNE 位; 或者当 I2C_EN=0 时由硬件清零。

(3) 应答错误标志位 (NO_ACK)

当发送器发送完一个字节时没有收到接收器的应答信号或者主机发送完地址未被响应时硬件置位 NO_ACK, 软件写 0 清除该位, 或当 I2C_EN=0 时由硬件清零。

注: 当 I2C 作为从机发送时, 第一次通讯结束后, 主机未响应, 从机 no_ack 标志位置起, 若想进行第二次通讯, 需软件清零 no_ack 标志位。

(4) 广播呼叫标志位(GCALL)

从机模式时 GCALL 指示是否发生广播呼叫操作, 主机模式时该标志位指示是否接收到 ACK 信号

(5) ACK 信号标志位(RXACK)

该标志位指示是否接收到 ACK 信号

16.5.14 广播呼叫功能

广播呼叫地址为 00H, I2C 将广播呼叫地址当做有效的地址寻址并根据判断进入接收或者发送状态。



16.5.15 SDA 数据在 SCL 下降沿后保持功能

I2C 主机模式下置位 TXDLYENB 控制位后可通过 I2C_SDHR 寄存器配置在 SCL 下降沿后多久 SDA 开始输出数据。

16.5.16 中断

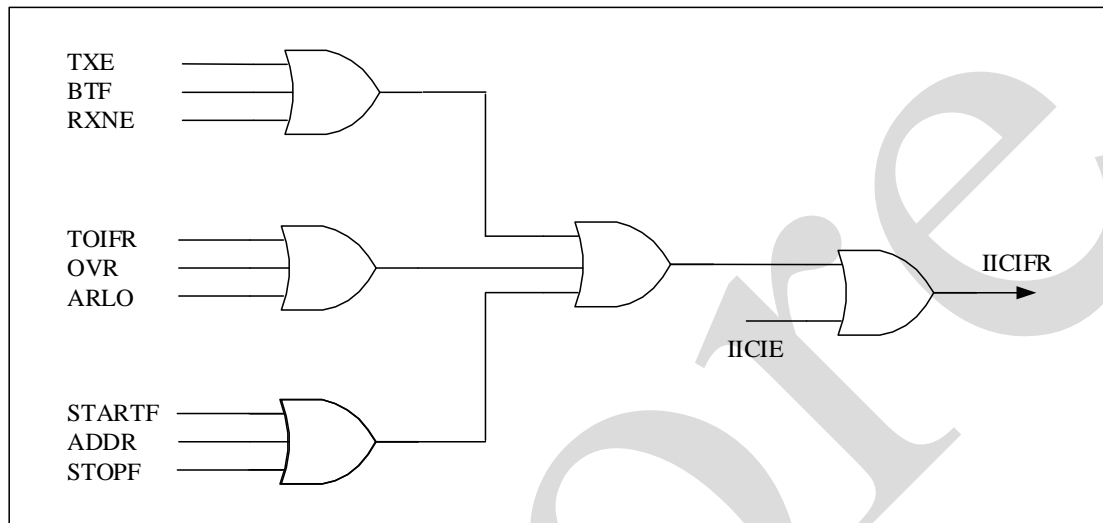


图 16.5.9 中断框图



17 CRC

17.1 特性

CRC 能在 CPU 运行中作为外围功能进行 CRC 运算，CRCIN 寄存器存储需要进行 CRC 校验的值，通过 CRCDH 和 CRCDL 读取生成的 16 位 CRC 校验码。

- 16 位并行 CRC 校验，写入数据后一个时钟内完成 CRC 计算
- CRC 校验多项式为： $X^{16} + X^{12} + X^5 + 1$
- 可指定 CRC 校验范围



17.2 功能框图

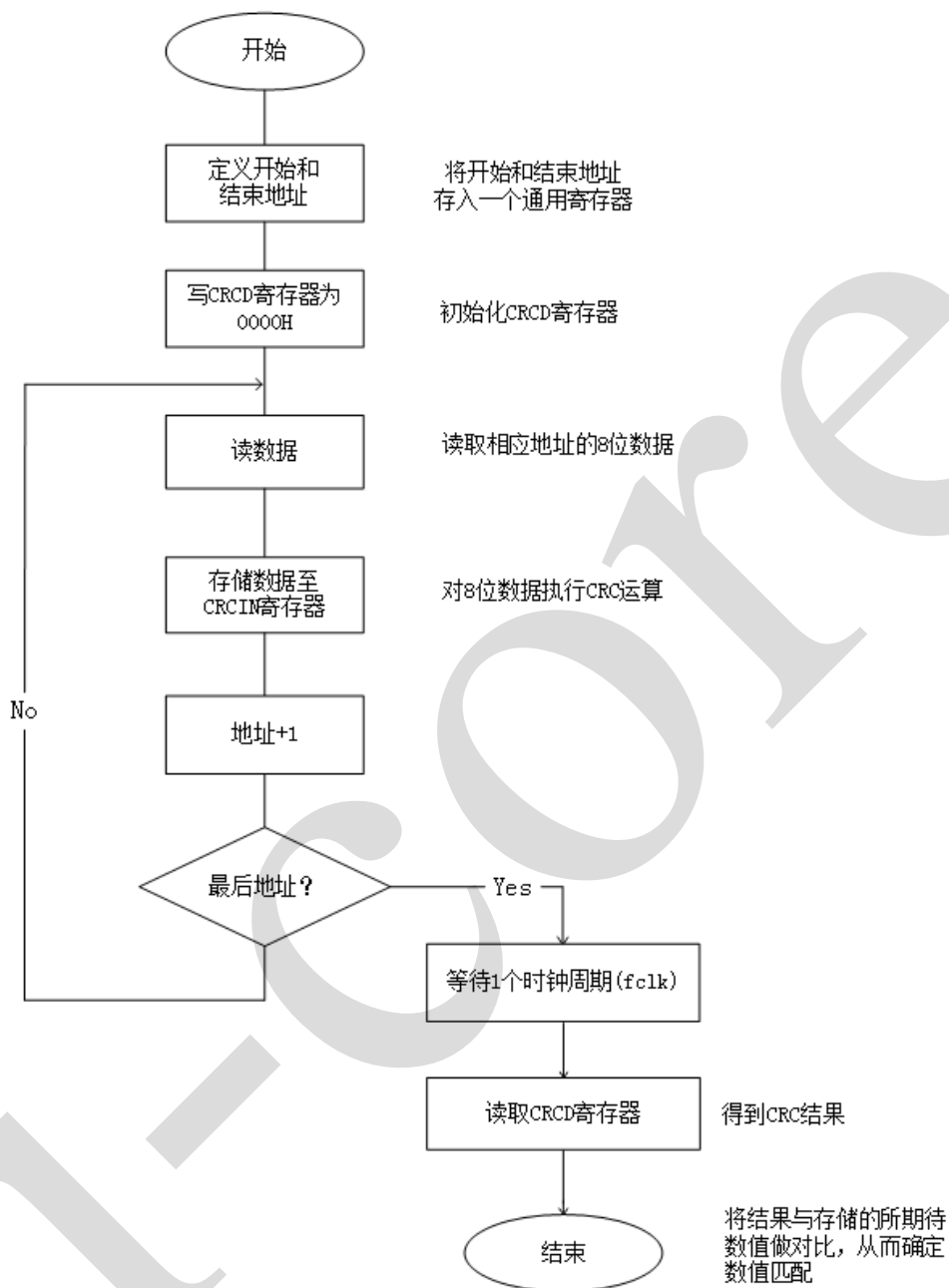


图 17.2.1 CRC 操作流程框图



17.3 寄存器列表

表 17.3.1 CRC 寄存器列表

寄存器名称	地址	描述	初值
CRCIN	F9H	CRC 校验数据输入寄存器	00H
CRCDL	FAH	CRC 校验结果低字节寄存器	00H
CRCDH	FBH	CRC 校验结果高字节寄存器	00H

17.4 寄存器说明

表 17.4.1 CRCIN 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CRCIN[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	CRCIN[7:0]	CRC 校验数据输入寄存器

表 17.4.2 CRCDL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CRCDL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	CRCDL[7:0]	CRC 校验结果低字节

表 17.4.3 CRCDH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	CRCDH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	CRCDH[7:0]	CRC 校验结果高字节



18 MDU

18.1 特性

MDU 模块共有 5 种工作模式，具有溢出标志位 MACOF,累加运算结果具有正负符号标志位 MACSF，除法运算具有开始使能位 DIVST

- 16 位 \times 16 位=32 位（无/带符号）
- 16 位 \times 16 位+32 位=32 位（无/带符号）
- 32 位 \div 32 位=32 位.....余数 32 位（无符号）

乘法可在 1 个时钟完成，乘加可在 2 个时钟完成，除法在 DIVST 置位后 16 个时钟完成。

三个标志位：溢出标志位(MACOF)、正负符号标志位(MACSF)和除法运算标志位 (DIVST)。

两个中断：除法运算完成中断、溢出中断。

18.2 功能框图

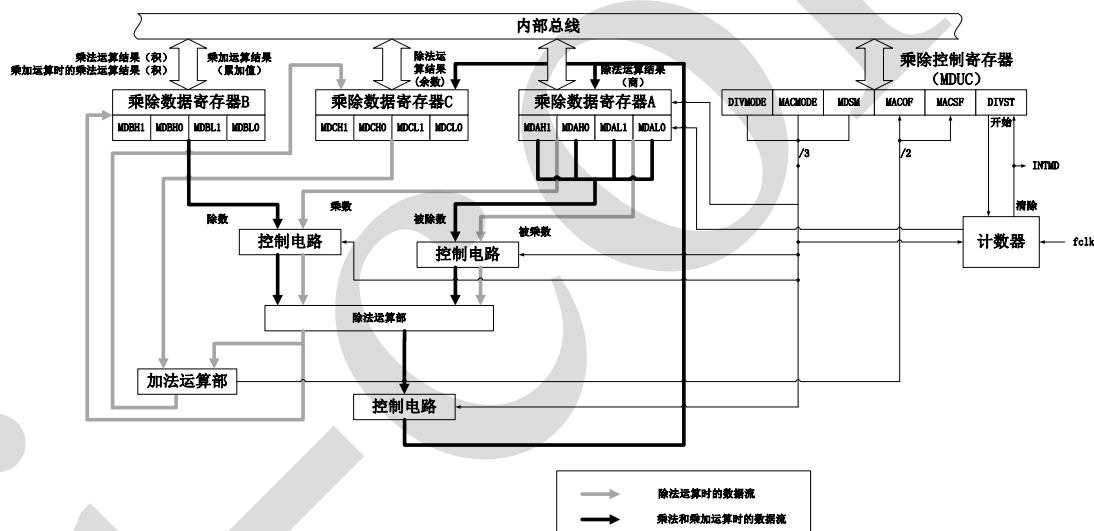


图 18.2.1 MDU 原理框图



18.3 寄存器列表

表 18.3.1 MDU 寄存器列表

寄存器名称	地址	描述	初值
MDAL0	E1H	乘除数据寄存器 A 低 16 位低字节	00H
MDAL1	E2H	乘除数据寄存器 A 低 16 位高字节	00H
MDBL0	E3H	乘除数据寄存器 B 低 16 位低字节	00H
MDBL1	E4H	乘除数据寄存器 B 低 16 位高字节	00H
MDCL0	E5H	乘除数据寄存器 C 低 16 位低字节	00H
MDCL1	E6H	乘除数据寄存器 C 低 16 位高字节	00H
MDUC	E7H	MDU 控制寄存器	00H
MDAH0	E9H	乘除数据寄存器 A 高 16 位低字节	00H
MDAH1	EAH	乘除数据寄存器 A 高 16 位高字节	00H
MDBH0	EBH	乘除数据寄存器 B 高 16 位低字节	00H
MDBH1	ECH	乘除数据寄存器 B 高 16 位高字节	00H
MDCH0	EDH	乘除数据寄存器 C 高 16 位低字节	00H
MDCH1	EEH	乘除数据寄存器 C 高 16 位高字节	00H

18.4 寄存器说明

表 18.4.1 MDAL0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDAL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDAL[7:0]	乘除数寄存器 A 低 16 位低字节

表 18.4.2 MDAL1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDAL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDAL[15:8]	乘除数寄存器 A 低 16 位高字节



表 18.4.3 MDAH0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDAH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDAH[7:0]	乘除数寄存器 A 高 16 位低字节

表 18.4.4 MDAH1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDAH[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDAH[15:8]	乘除数寄存器 A 高 16 位高字节

表 18.4.5 MDBL0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDBL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDBL[7:0]	乘除数寄存器 B 低 16 位低字节

表 18.4.6 MDBL1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDBL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDBL[15:8]	乘除数寄存器 B 低 16 位高字节



表 18.4.7 MDBH0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDBH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDBH[7:0]	乘除数寄存器 B 高 16 位低字节

表 18.4.8 MDBH1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDBH[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDBH[15:8]	乘除数寄存器 B 高 16 位高字节

表 18.4.9 MDCL0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDCL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDCL[7:0]	乘除数寄存器 C 低 16 位低字节

表 18.4.10 MDCL1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDCL[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDCL[15:8]	乘除数寄存器 C 低 16 位高字节



表 18.4.11 MDCH0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDCH[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDCH[7:0]	乘除数寄存器 C 高 16 位低字节

表 18.4.12 MDCH1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	MDCH[15:8]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	MDCH[15:8]	乘除数寄存器 C 高 16 位高字节

表 18.4.13 MDUC 寄存器

Bit	7	6	5	4	3	2	1	0
Name	DIVMODE	MACMODE	-	MDUIF	MDSM	MACOF	MACSF	DIVST
R/W	R/W	R/W	-	R/W0	R/W	R	R	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述			
7	DIVMODE				
6	MACMODE	DIVMODE	MACMODE	MDSM	运算模式选择
		0	0	0	乘法运算模式（无符号）
		0	0	1	乘法运算模式（带符号）
		0	1	0	乘加运算模式（无符号）
		0	1	1	乘加运算模式（带符号）
3	MDSM	1	0	0	除法运算模式（无符号）
		1	1	0	除法运算模式（无符号）
		以上情况以外			禁止设定
5	—	—			
4	MDUIF	MDU 中断标志位 0: 没有发生 MDU 中断 1: 发生 MDU 中断 该标志位硬件置位软件写零清除			



2	MACOF	MACOF: 乘加运算结果(累加值)的上溢标志 0: 没有发生上溢 1: 发生上溢 置位条件: 乘加运算模式(无符号) 当累加值超出 00000000h ~ FFFFFFFFh 的范围时 乘加运算模式(带符号) 当正累加值与正积之和超过 7FFFFFFFh 而结果为负时 当负累加值与负积之和超过 80000000h 而结果为正时
1	MACSF	乘加结果(累加值)的符号标志 0: 累加值为正 1: 累加值为负 乘加运算模式(无符号): 总是“0” 乘加运算模式(带符号): 表示累加值的符号位
0	DIVST	DIVST: 除法运算的开始/停止 0: 除法运算处理结束 1: 开始除法运算/ 正在除法运算 除法运算结束后该位硬件自动清零

18.5 功能说明

表 18.5.1 MDU 数据寄存器功能概况

寄存器组		MDAH1, MDAH0	MDAL1, MDAL0	MDBH1, MDBH0	MDBL1, MDBL0	MDCH1, MDCH0	MDCL1, MDCL0
乘法 带符号/无符号	设定值	乘数[15:0]	被乘数[15:0]	——	——	——	——
	结果	——	——	积[31:0]		——	——
乘加 带符号/无符号	设定值	乘数[15:0]	被乘数[15:0]	——	——	被加数	被加数
	结果	——	——	积[31:0]		和[31:0]	
除法 无符号	设定值	被除数[31:0]		除数[31:0]		——	——
	结果	商[31:0]		——	——	余数[31:0]	

*1. 在带符号乘法运算或带符号乘加运算中, 数据寄存器中的数据为 2 的补码

2. 在除法运算模式下, 当 DIVST 为高时, 禁止读写数据寄存器, 否则不保证运算结果的正确性

18.5.1 16bit 无符号乘法运算

MDU 将在乘数或被乘数低字节写入后自动开始一次乘法运算, 运算在一个时钟内完成。运算结果保存在 MDBH1/0 和 MDBL1/0 寄存器中: {MDBH, MDBL} = 乘积[31:0]

- 配置 MDUC 为 00H
- MDAL1 ==> 设定被乘数高字节
MDAL0 ==> 设定被乘数低字节
MDAH1 ==> 设定乘数高字节



MDAH0 ==> 设定乘数低字节

3. 等待 1 个时钟，得到运算结果：{MDBH, MDBL} = 乘积[31:0]

18.5.2 16bit 带符号乘法运算

MDU 将在被乘数和乘数被写入后自动开始乘法运算，运算在一个时钟内完成。

运算结果保存在 MDBH1/0 和 MDBL1/0 寄存器中：{MDBH, MDBL} = 乘积[31:0]

1. 配置 MDUC 为 08H

2. MDAL1 ==> 设定被乘数高字节

MDAL0 ==> 设定被乘数低字节

MDAH1 ==> 设定乘数高字节

MDAH0 ==> 设定乘数低字节

3. 等待 1 个时钟，得到运算结果：{MDBH, MDBL} = 乘积[31:0]

注意：带符号乘法运算数据(被乘数、乘数和积)为 2 的补码

18.5.3 16bit 无符号乘加运算

MDU 将在乘数设定完毕后自动开始乘加运算，运算在 2 个时钟内完成，乘法 1 个时钟，加法 1 个时钟。

乘法运算结果保存在 MDBH1/0 和 MDBL1/0 寄存器中：{MDBH, MDBL} = 乘积[31:0]

累加运算结果保存在 MDCH1/0 和 MDCL1/0 寄存器中：{MDCH, MDCL} = 和[31:0]

1. 配置 MDUC 为 40H

2. {MDCH1, MDCH0} ==> 设定累加初始值高 16 位

{MDCL1, MDCL0} ==> 设定累加初始值低 16 位

MDAL1 ==> 设定被乘数高字节

MDAL0 ==> 设定被乘数低字节

MDAH1 ==> 设定乘数高字节

MDAH0 ==> 设定乘数低字节

3. 等待 2 个时钟，得到运算结果：{MDBH, MDBL} = 乘积[31:0]

{MDCH, MDCL} = 和[31:0]

18.5.4 16bit 带符号乘加运算

MDU 将在乘数设定完毕后自动开始乘加运算，运算在 2 个时钟内完成，乘法 1 个时钟，加法 1 个时钟。

乘法运算结果保存在 MDBH1/0 和 MDBL1/0 寄存器中：{MDBH, MDBL} = 乘积[31:0]



累加运算结果保存在 MDCH1/0 和 MDCL1/0 寄存器中: {MDCH, MDCL} = 和[31:0]

1. 配置 MDUC 为 48H
2. {MDCH1, MDCH0} ==> 设定累加初始值高 16 位
{MDCL1, MDCL0} ==> 设定累加初始值低 16 位
MDAL1 ==> 设定被乘数高字节
MDAL0 ==> 设定被乘数低字节
MDAH1 ==> 设定乘数高字节
MDAH0 ==> 设定乘数低字节
3. 等待 2 个时钟, 得到运算结果: {MDBH, MDBL} = 乘积[31:0]
{MDCH, MDCL} = 和[31:0]

注意: 带符号乘加运算数据(被乘数、乘数、加数和结果)为 2 的补码。

18.5.5 32 位无符号除法运算

除法运算将在 DIVST 位软件置位后 16 个时钟内完成, 完成后 DIVST 硬件自动清零。

若 MACMODE=0 则产生中断请求信号。

除法运算得商存放在 MDAH 和 MDAL 寄存器中: {MDAH, MDAL} = 商[31:0]

余数存放在 MDCH 和 MDCL 寄存器中: {MDCH, MDCL} = 余数[31:0]

1. 配置 MDUC 为 80H
2. {MDAH1, MDAH0, MDAL1, MDAL0} ==> 设定被除数
{MDBH1, MDBH0, MDBL1, MDBL0} ==> 设定除数
3. 将 DIVST 置位, 开始除法运算
4. 等待 16 个时钟, 除法运算完成, DIVST 硬件自动清零。

得到运算结果: {MDAH, MDAL} = 商

{MDCH, MDCL} = 余数

若 MACMODE=0 则产生中断请求信号。

18.5.6 中断 (MDUIF)

以下情况将产生 MDU 中断:

- 当乘加运算结果溢出时产生中断
- 除法运算当配置 MACMODE=0 在除法运算完毕后产生中断请求



19 模数转换器 A/D

19.1 特性

该 A/D 可以将一个模拟信号的电压转换成为一个 12bit 的数字量。用于转换的电压可以从 32 路模拟输入通道中选择。用于 A/D 转换的时钟可配置为系统时钟或其分频时钟。AD 转换完成后，转换完成标志位将置起，并产生 AD 中断。AD 转换结果会被存入 2 个 8 位的数据寄存器，存入上述 2 个寄存器的格式可配置。

- 转换结果为 12 位数字信号
- 拥有 32 个可选的模拟输入通道
- 参考电压可编程选择内部 VDD 或者内部 VREF
- 拥有 AD 转换完成标志位(AFLAG)和 AD 中断(ADCIFR)
- AD 转换时钟可选 f_x 、 $f_x/2$ 、 $f_x/4$ 、 $f_x/8$ 、 $f_x/16$ 、 $f_x/32$ 、 $f_x/64$ 、 $f_x/128$
- 可配置 2 种 AD 转换结果输出格式

19.2 功能框图

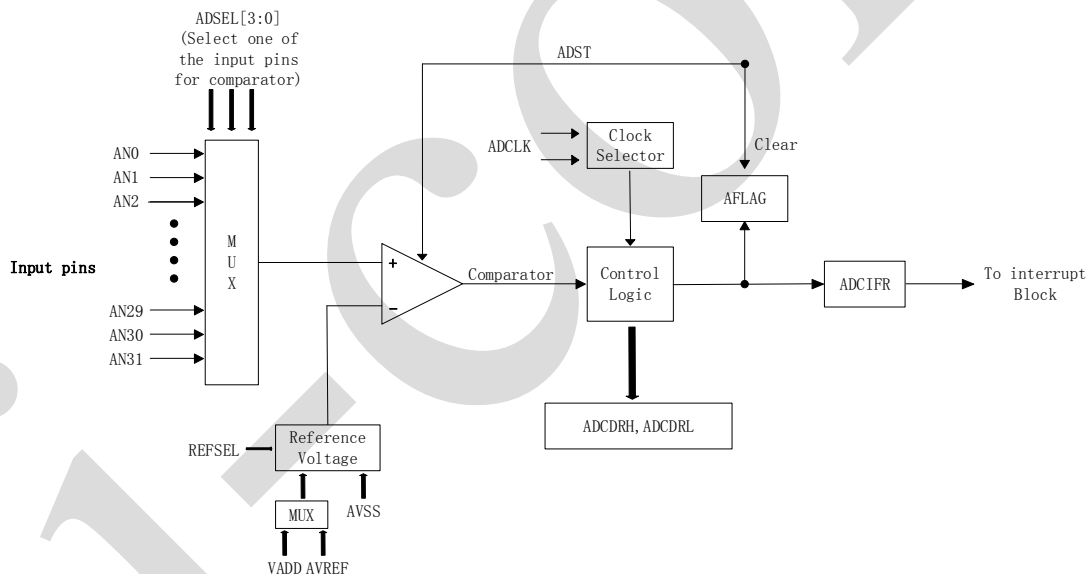


图 19.2.1 AD 功能框图



19.3 寄存器列表

表 19.3.1 AD 寄存器列表

寄存器名称	地址	描述	初值
ADCDRL	ADH	AD 转换结果寄存器低字节	00H
ADCDRH	AEH	AD 转换结果寄存器高字节	00H
ADCCRL	ABH	AD 控制寄存器低字节	00H
ADCCRH	ACH	AD 控制寄存器高字节	00H
ADAN0	4150H	AD 端口使能寄存器 0	00H
ADAN1	4151H	AD 端口使能寄存器 1	00H
ADAN2	4152H	AD 端口使能寄存器 2	00H
ADAN3	4153H	AD 端口使能寄存器 3	00H

19.4 寄存器说明

表 19.4.1 ADCCRL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	STBY	ADST	ADSEL[5:0]					
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	STBY	AD 模块使能控制位 0: AD 模块关闭 1: AD 模块使能
6	ADST	AD 转换开始控制位 0: 无影响 1: 转换开始触发, 1~2 个 AD 时钟周期后自动清 0
5-0	ADSEL[4:0]	AD 模拟输入通道选择位 00000: AN0 00001: AN1 00010: AN2 00011: AN3 00100: AN4 00101: AN5 00110: AN6 00111: AN7 01000: AN8 01001: AN9 01010: AN10 01011: AN11 01100: AN12



		01101: AN13 01110: AN14 01111: AN15 10000: AN16 10001: AN17 10010: AN18 10011: AN19 10100: AN20 10101: AN21 10110: AN22 10111: AN23 11000: AN24 11001: AN25 11010: AN26 11011: AN27 11100: AN28 11101: 内部 1/4VDD 11110: OPAO 11111: AN31 100000: 内部 VDD 通道 100001: 内部 GND 通道
--	--	--

表 19.4.2 ADCCRH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADCIFR	AFLAG	ADCVREFSEL[1:0]		ALIGN	CKSEL[2:0]		
R/W	R/W0	R	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	ADCIFR	AD 中断标志位 0: 没有产生 AD 中断 1: 产生 AD 中断
6	AFLAG	AD 转换状态位 0: AD 转换进行中 1: AD 转换结束
5-4	ADCVREFSEL [1:0]	AD 内部 VREF 选择位 00: 2V 01: 3V 10: 4V 11: VDD
3	ALIGN	AD 转换结果保存格式选择 0: AD 转换结果保存格式为{ADCDRH[7:0], ADCDRL[7:4]}



		1: AD 转换结果保存格式为{ ADCDRH[3:0], ADCDRL[7:0]}
2-0	CKSEL[2:0]	AD 转换时钟选择控制位 000: fsys 001: fsys/2 010: fsys/4 011: fsys/8 000: fsys/16 001: fsys/32 010: fsys/64 111: fsys/128

注: 建议 AD 转换时钟最快不要超过 8MHz

表 19.4.3 ADCDRL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADDM3	ADDM2	ADDM1	ADDM0	—	—	—	—
	ADDM7	ADDM6	ADDM5	ADDM4	ADDM3	ADDM2	ADDM1	ADDM0
R/W	R	R	R	R	R	R	R	R
POR	X	X	X	X	X	X	X	X

位	字段	描述
7-4	ADDM[3:0]	MSB align, AD 转换数据低 4 位
7-0	ADDL[7:0]	LSB align, AD 转换数据低 8 位

表 19.4.4 ADCDRH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	ADDM11	ADDM10	ADDM9	ADDM8	ADDM7	ADDM6	ADDM5	ADDM4
	—	—	—	—	ADDM11	ADDM10	ADDM9	ADDM8
R/W	R	R	R	R	R	R	R	R
POR	X	X	X	X	X	X	X	X

位	字段	描述
7-0	ADDM[11:4]	MSB align, AD 转换数据高 8 位
3-0	ADDL[11:8]	LSB align, AD 转换数据高 4 位



表 19.4.5 ADAN0 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位(n=7~0) 0: 作为 I/O 1: 作为 ANn(n=7~0)

表 19.4.6 ADAN1 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN15	AN14	AN13	AN12	AN11	AN10	AN9	AN8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位(n=15~8) 0: 作为 I/O 1: 作为 ANn(n=15~8)

表 19.4.7 ADAN2 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN23	AN22	AN21	AN20	AN19	AN18	AN17	AN16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位(n=23~16) 0: 作为 I/O 1: 作为 ANn(n=23~16)



表 19.4.8 ADAN3 寄存器

Bit	7	6	5	4	3	2	1	0
Name	AN31	—	—	AN28	AN27	AN26	AN25	AN24
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-0	ANn	AD 口模式选择位 0: 作为 I/O 1: 作为 ANn

19.5 功能说明

19.5.1 AD 转换时间

完成一次 AD 转换需要 47 个时钟。在 16MHz 时钟频率下选择 $f_x/8$ 分频时，一个时钟周期是 $0.5\mu s$ 。转换率计算如下：

$$47\text{clock} \times 0.5\mu s = 23.5\mu s @ 2\text{MHz}(16\text{MHz}/8)$$

19.5.2 AD 时钟选择

配置 ADCCRH 寄存器中的 CKSEL 控制位可以选择 f_x 、 $f_x/2/4/8/16/32/64/128$ 。

19.5.3 AD 参考电压选择

AD 参考电压默认为内部 VDD，置位 REFSEL 控制位选择内部 VREF，内部 VREF 电压通过 ADCVREFSEL[1:0]选择。

19.5.4 AD 模拟通道选择

配置 ADSEL 控制位共可以选择 32 个不同的 AD 模拟输入通道。

19.5.5 AD 中断

当 AD 转换结束时，ADCIFR 标志位置位同时产生 AD 中断。



20 TOUCH

20.1 特性

AiP8F3564 内部集成高灵敏度触摸按键检测电路——CCT。通过将触摸按键引脚变化转变为内部计数值的变化，从而实现对人体触摸的检测，提供手势判断、行为决策的能力。

- 多达 48 个按键通道
- 无需片外触摸电容
- 触摸模块充放电时钟三种模式可选，PRS 功能可显著提高抗干扰能力
 - 6MHz~369KHz 系统时钟固定分频
 - 1.5MHz 正态分布
 - 1.5MHz 均匀分布
- 触摸模块计数时钟 24M、12M、6M、4M 可选
- CCT 各种时钟及其分频占空比均为 50%
- 计数位宽 9~16 位可选
- 仅支持非同步扫描模式。通过一系列的寄存器来实现多种功能的应用。电容检测相关量与 SFR 值的关系如下：
 - CCT_TMR 计数值大小与 TMR_BS、IMOD 电阻、IDAC_SELH 成正比,与 VREF_SEL 成反比。
 - 在保证充放电完全的情况下，与通过 PRS_DIV 设定的充放电频率成正比。
 - 通道触摸变化量与 TMR_BS、IMOD 成正比，与 VREF_SEL 成反比。
 - 在保证充放电完全的情况下，与通过 PRS_DIV 设定的充放电频率与触摸变化量成正比。
 - 触摸检测的信噪比与 VREF_SEL 成正比，IDAC_SEL[8:0]，与 TMR_DS 成反比。
 - 在充放电不完全时，与通过 PRS_DIV 设定的充放电频率与信噪比成反比。
 - 单个按键检测的时间与 TMR_BS、TMR_DS 有关。

注：配置参数时应保证按键充放电完全。



21 LCD

21.1 特性

LCD 工作时钟固定为 32K 可选择不同帧频，电路内部的显示模块作为 LCD 显示时，最大支持 8COM×32SEG，COM 数可变为 8、6、5、4，偏置电压可选 1/2、1/3、1/4，从而可以根据方案需求进行灵活配置。

- 最大支持 8 COM×32 SEG，可选 6 COM×34 SEG，5 COM×35 SEG，4 COM×36 SEG
- 占空比可选 1/8、1/6、1/5、1/4
- 不同占空比显示帧频保持不变
- 帧频可选 256Hz、128Hz、85.4Hz、64Hz
- 偏置可选 1/2、1/3、1/4
- 偏置电阻可调，用于匹配大、小笔段的 LCD 屏
- LCD 对比度 16 级可调

21.2 功能框图

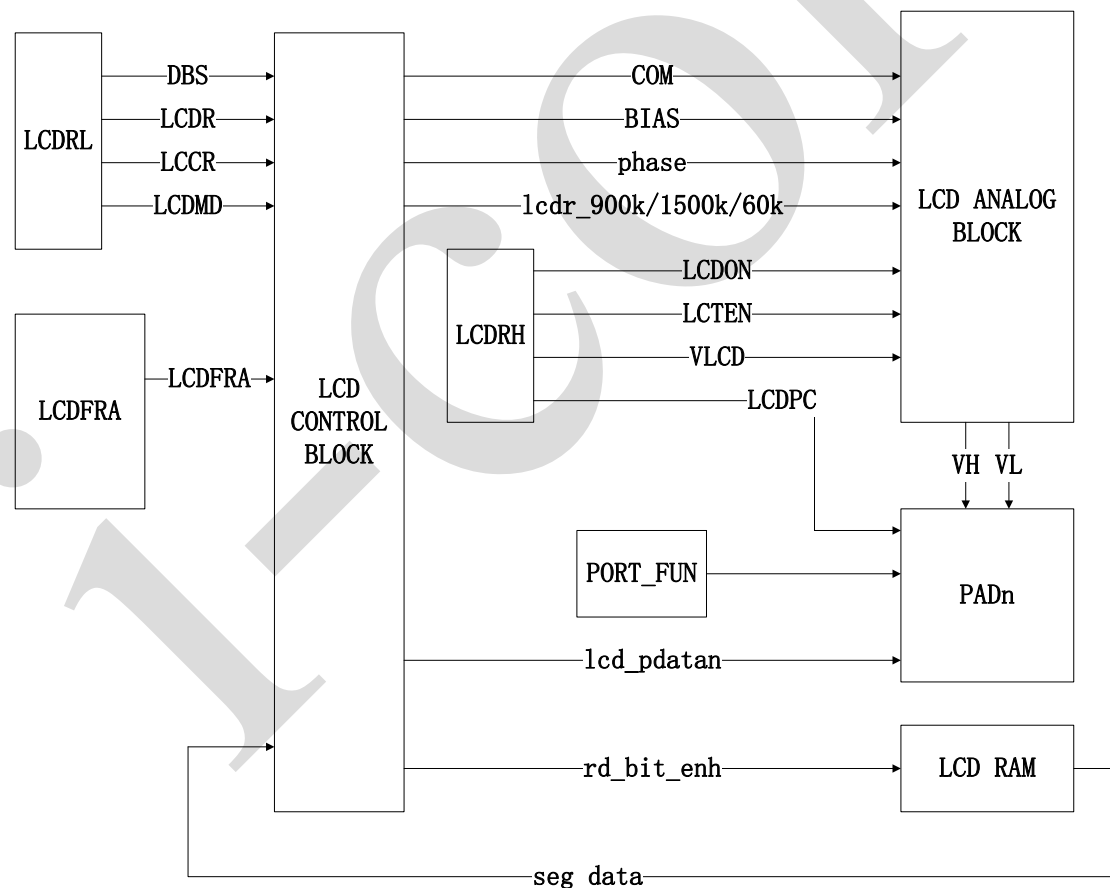


图 21.2.1 LCD 功能框图



21.3 寄存器列表

表 21.3.1 LCD 寄存器列表

寄存器名称	地址	描述	初值
LCDCRH	4121H	LCD 控制寄存器高字节	00H
LCDCRL	4120H	LCD 控制寄存器低字节	00H
FRASEL	4122H	LCD 帧频选择寄存器	00H

21.4 寄存器说明

表 21.4.1 LCDCRH 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LCDON	LCDPC	LCTEN	CLKSEL	VLCD3	VLCD2	VLCD1	VLCD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LCDON	LCD 使能控制位, 当 LCD 与 LED 使能位同时使能时, 硬件自动关闭 LCD 功能 0: LCD 模块禁止 1: LCD 模块使能
6	LCDPC	LCD 端口功能配置位 0: 所有 LCD 端口为普通 I/O 1: 所有 LCD 端口可配置为 LCD 功能
5	LCTEN	LCD 对比度控制使能位 0: 关闭 LCD 对比度使能 1: 开启 LCD 对比度使能
4	CLKSEL	LCD 工作时钟选择控制位 0: LIRC 1: LXT
3-0	VLCD	LCD 对比度控制位 0000: VLCD=0.531VDD 0001: VLCD=0.563VDD 0010: VLCD=0.594VDD 0011: VLCD=0.625VDD 0100: VLCD=0.656VDD 0101: VLCD=0.688VDD 0110: VLCD=0.719VDD 0111: VLCD=0.750VDD 1000: VLCD=0.781VDD 1001: VLCD=0.813VDD 1010: VLCD=0.844VDD 1011: VLCD=0.875VDD



		1100: VLCD=0.906VDD 1101: VLCD=0.938VDD 1110: VLCD=0.969VDD 1111: VLCD=1.000VDD
--	--	--

表 21.4.2 LCDCTRL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	DBS2	DBS1	DBS0	LCDR	LCCR1	LCCR0	LCDMD1	LCDMD0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7-5	DBS[2:0]	LCD 占空比选择位 000: 1/4Duty, 1/3Bias (4COM × 36SEG) COM 口: COM0-COM3 SEG 口: SEG0-SEG35, COM4-COM7 作为 SEG24-SEG27 使用 001: 1/5Duty, 1/3Bias (5COM × 35SEG) COM 口: COM0-COM4 SEG 口: SEG0-SEG23; COM5-COM7 作为 SEG25-SEG27 使用; SEG28-SEG35 010: 1/6Duty, 1/3Bias (6COM × 34SEG) COM 口: COM0-COM5 SEG 口: SEG0-SEG23; COM6-COM7 作为 SEG26-SEG27 使用; SEG28-SEG35 011: 1/8Duty, 1/4Bias (8COM × 32SEG) COM 口: COM0-COM7 SEG 口: SEG0-SEG23; SEG28-SEG35 100: 1/6Duty, 1/4Bias (6COM × 34SEG) COM 口: COM0-COM5 SEG 口: SEG0-SEG23; COM6-COM7 作为 SEG26-SEG27 使用; SEG28-SEG35 101: 1/4Duty, 1/2Bias (4COM × 36SEG) COM 口: COM0-3 SEG 口: SEG0-SEG35, COM4-COM7 作为 SEG24-SEG27 使用 110: 1/6Duty, 1/2Bias (6COM × 34SEG) COM 口: COM0-COM4 SEG 口: SEG0-SEG23; COM6-COM7 作为 SEG26-SEG27 使用; SEG28-SEG35 111: 1/8Duty, 1/2Bias (8COM × 32SEG) COM 口: COM0-COM7 SEG 口: SEG0-SEG23; SEG28-SEG35
4	LCDR	LCD 偏置电阻选择辅助位 (仅在 LCDMD 位为 00 或 10 时有效) 0: LCD 偏置电阻为 900k



		1: LCD 偏置电阻总为 1.5M
3-2	LCCR [2:0] ^注	充电时间控制位 00: 约为 1/8 LCD COM 周期 01: 约为 1/16 LCD COM 周期 10: 约为 1/32 LCD COM 周期 11: 约为 1/64 LCD COM 周期
1-0	LCDMD [2:0]	LCD 驱动模式选择位 00: 偏置电阻选择 900K/1.5M 01: 偏置电阻选择 60K 10: 快速充电模式, 偏置电阻自动在 60K 和 900K/1.5M 之间切换 11: 无意义

注: 此位仅在帧频为 64Hz 与 85.3Hz 时可选, 当帧频为 128Hz 与 256Hz 时固定为 1/8 LCD COM 周期

表 21.4.3 FRASEL 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LCDTEST	—	—	—	—	—	LCDFRA1	LCDFRA0
R/W	R/W	—	—	—	—	—	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LCDTEST ^注	偏置电压测试使能控制位 0: 测试关闭 1: 测试使能
6-2	保留	
1-0	LCDFRA [1:0]	LCD 帧频选择控制位 00: 64Hz 01: 85.3Hz 10: 128Hz 11: 256Hz

注: 该位使能后 LCD 偏置电压可直接从 P33 端口输出

21.5 功能说明

21.5.1 LCD 大小选择

通过配置 LCDCTRL 寄存器中的 DBS 控制位 LCD 最大支持 8COM×32SEG, 可选 6COM×34SEG, 5COM×35SEG 或 4COM×36SEG, 未使用的 COM 口可用作 SEG 口。

21.5.2 占空比调节

配置 LCDCTRL 寄存器中的 DBS 控制位选择不同占空比, 占空比可选 1/8、1/6、1/5、1/4。

占空比倒数数量即为 COM 口数量, LCD 内部有 7 位帧频计数器 lcd_cnt 和 4 位 COM 口



计数器 com_cnt，设选择不同帧频时 lcd_cnt 溢出周期为 Tframe，则：

$$T_{\text{frame}} = 32K \div \text{frame} \times \text{占空比} - 1$$

同时 com_cnt 计数器在每次 lcd_cnt 溢出时加 1, com_cnt 在 com_cnt=1/(占空比)且 lcd_cnt 计数溢出时清零

21.5.3 帧频选择

LCD 帧频可由 LCDFRA 寄存器中的 LCDFRA 控制位选择 256Hz、128Hz、85.3Hz 或 64Hz，根据定义帧频=com_cnt 溢出频率，注意不同占空比下帧频略有差异。

21.5.4 偏置电压选择

配置 LCDCTRL 寄存器中的 DBS 控制位可以选择 1/2 或 1/3 或 1/4 偏置。

21.5.5 偏置电阻选择

配置 LCDCTRL 寄存器中的 LCDMD 和 LCDR 控制位，LCD 共有 60K、900K 和 1.5M 三个偏置电阻可选。

21.5.6 快速充电模式

快速充电模式下 LCDMD=2'b10，所有帧频下都可使能快速充电模式

当 LCDR=0 时，硬件自动控制偏置电阻在 60K 和 900K 之间切换，充电时偏置电阻=60K，充电完成后偏置电阻=900K；

当 LCDR=1 时，硬件自动控制偏置电阻在 60K 和 1.5M 之间切换，充电时偏置电阻=60K，充电完成后偏置电阻=1.5M；

21.5.7 充电周期

充电周期：充电模式下 60K 偏置电阻使能时间。

在快速充电模式下可以选择不同的充电周期：

当帧频为 128Hz 和 256Hz 时固定为 1/8 LCD COM 周期；

当帧频为 64Hz 和 85.3Hz 时充电周期可由 LCDCTRL 寄存器中的 LCCR 控制位选择 1/8、1/16、1/32 或 1/64；

充电周期的长度由 lcd_cnt 计数器的计数值控制。



21.5.8 对比度调节

LCD 在 LCTEN=1 使能对比度调节后可配置控制位 VCLD 最多可选择 16 级对比度调节。

21.5.9 RAM 读出控制

LCD 最多可选 36 个 SEG 口，RAM 容量为 36*8bit。

LCD 1/8 占空比（8COM*32SEG）地址配置如下：

地址	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
1000H	SEG0	SEG0	SEG0	SEG0	SEG0	SEG0	SEG0	SEG0
1001H	SEG1	SEG1	SEG1	SEG1	SEG1	SEG1	SEG1	SEG1
1002H	SEG2	SEG2	SEG2	SEG2	SEG2	SEG2	SEG2	SEG2
1003H	SEG3	SEG3	SEG3	SEG3	SEG3	SEG3	SEG3	SEG3
1004H	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4	SEG4
1005H	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5	SEG5
1006H	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6	SEG6
1007H	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7	SEG7
1008H	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8	SEG8
1009H	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9	SEG9
100AH	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10	SEG10
100BH	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11	SEG11
100CH	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12	SEG12
100DH	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13	SEG13
100EH	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14	SEG14
100FH	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15	SEG15
1010H	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16	SEG16
1011H	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17	SEG17
1012H	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18	SEG18
1013H	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19	SEG19
1014H	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20	SEG20
1015H	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21	SEG21
1016H	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22	SEG22
1017H	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23	SEG23
101CH	SEG28	SEG28	SEG28	SEG28	SEG28	SEG28	SEG28	SEG28
101DH	SEG29	SEG29	SEG29	SEG29	SEG29	SEG29	SEG29	SEG29
101EH	SEG30	SEG30	SEG30	SEG30	SEG30	SEG30	SEG30	SEG30



101FH	SEG31	SEG31	SEG31	SEG31	SEG31	SEG31	SEG31	SEG31
1020H	SEG32	SEG32	SEG32	SEG32	SEG32	SEG32	SEG32	SEG32
1021H	SEG33	SEG33	SEG33	SEG33	SEG33	SEG33	SEG33	SEG33
1022H	SEG34	SEG34	SEG34	SEG34	SEG34	SEG34	SEG34	SEG34
1023H	SEG35	SEG35	SEG35	SEG35	SEG35	SEG35	SEG35	SEG35

LCD 1/4 占空比（4COM*36SEG）地址配置如下：

地址	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
					COM3	COM2	COM1	COM0
1000H					SEG0	SEG0	SEG0	SEG0
1001H					SEG1	SEG1	SEG1	SEG1
1002H					SEG2	SEG2	SEG2	SEG2
1003H					SEG3	SEG3	SEG3	SEG3
1004H					SEG4	SEG4	SEG4	SEG4
1005H					SEG5	SEG5	SEG5	SEG5
1006H					SEG6	SEG6	SEG6	SEG6
1007H					SEG7	SEG7	SEG7	SEG7
1008H					SEG8	SEG8	SEG8	SEG8
1009H					SEG9	SEG9	SEG9	SEG9
100AH					SEG10	SEG10	SEG10	SEG10
100BH					SEG11	SEG11	SEG11	SEG11
100CH					SEG12	SEG12	SEG12	SEG12
100DH					SEG13	SEG13	SEG13	SEG13
100EH					SEG14	SEG14	SEG14	SEG14
100FH					SEG15	SEG15	SEG15	SEG15
1010H					SEG16	SEG16	SEG16	SEG16
1011H					SEG17	SEG17	SEG17	SEG17
1012H					SEG18	SEG18	SEG18	SEG18
1013H					SEG19	SEG19	SEG19	SEG19
1014H					SEG20	SEG20	SEG20	SEG20
1015H					SEG21	SEG21	SEG21	SEG21
1016H					SEG22	SEG22	SEG22	SEG22
1017H					SEG23	SEG23	SEG23	SEG23
1018H					SEG24	SEG24	SEG24	SEG24
1019H					SEG25	SEG25	SEG25	SEG25
101AH					SEG26	SEG26	SEG26	SEG26
101BH					SEG27	SEG27	SEG27	SEG27



101CH					SEG28	SEG28	SEG28	SEG28
101DH					SEG29	SEG29	SEG29	SEG29
101EH					SEG30	SEG30	SEG30	SEG30
101FH					SEG31	SEG31	SEG31	SEG31
1020H					SEG32	SEG32	SEG32	SEG32
1021H					SEG33	SEG33	SEG33	SEG33
1022H					SEG34	SEG34	SEG34	SEG34
1023H					SEG35	SEG35	SEG35	SEG35

LCD 1/6 占空比（6COM*34SEG）地址配置如下：

地址	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
			COM5	COM4	COM3	COM2	COM1	COM0
1000H			SEG0	SEG0	SEG0	SEG0	SEG0	SEG0
1001H			SEG1	SEG1	SEG1	SEG1	SEG1	SEG1
1002H			SEG2	SEG2	SEG2	SEG2	SEG2	SEG2
1003H			SEG3	SEG3	SEG3	SEG3	SEG3	SEG3
1004H			SEG4	SEG4	SEG4	SEG4	SEG4	SEG4
1005H			SEG5	SEG5	SEG5	SEG5	SEG5	SEG5
1006H			SEG6	SEG6	SEG6	SEG6	SEG6	SEG6
1007H			SEG7	SEG7	SEG7	SEG7	SEG7	SEG7
1008H			SEG8	SEG8	SEG8	SEG8	SEG8	SEG8
1009H			SEG9	SEG9	SEG9	SEG9	SEG9	SEG9
100AH			SEG10	SEG10	SEG10	SEG10	SEG10	SEG10
100BH			SEG11	SEG11	SEG11	SEG11	SEG11	SEG11
100CH			SEG12	SEG12	SEG12	SEG12	SEG12	SEG12
100DH			SEG13	SEG13	SEG13	SEG13	SEG13	SEG13
100EH			SEG14	SEG14	SEG14	SEG14	SEG14	SEG14
100FH			SEG15	SEG15	SEG15	SEG15	SEG15	SEG15
1010H			SEG16	SEG16	SEG16	SEG16	SEG16	SEG16
1011H			SEG17	SEG17	SEG17	SEG17	SEG17	SEG17
1012H			SEG18	SEG18	SEG18	SEG18	SEG18	SEG18
1013H			SEG19	SEG19	SEG19	SEG19	SEG19	SEG19
1014H			SEG20	SEG20	SEG20	SEG20	SEG20	SEG20
1015H			SEG21	SEG21	SEG21	SEG21	SEG21	SEG21
1016H			SEG22	SEG22	SEG22	SEG22	SEG22	SEG22
1017H			SEG23	SEG23	SEG23	SEG23	SEG23	SEG23
1018H			SEG26	SEG26	SEG26	SEG26	SEG26	SEG26



1019H			SEG27	SEG27	SEG27	SEG27	SEG27	SEG27
101CH			SEG28	SEG28	SEG28	SEG28	SEG28	SEG28
101DH			SEG29	SEG29	SEG29	SEG29	SEG29	SEG29
101EH			SEG30	SEG30	SEG30	SEG30	SEG30	SEG30
101FH			SEG31	SEG31	SEG31	SEG31	SEG31	SEG31
1020H			SEG32	SEG32	SEG32	SEG32	SEG32	SEG32
1021H			SEG33	SEG33	SEG33	SEG33	SEG33	SEG33
1022H			SEG34	SEG34	SEG34	SEG34	SEG34	SEG34
1023H			SEG35	SEG35	SEG35	SEG35	SEG35	SEG35

LCD 1/5 占空比 (5COM*35SEG) 地址配置如下:

地址	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
				COM4	COM3	COM2	COM1	COM0
1000H				SEG0	SEG0	SEG0	SEG0	SEG0
1001H				SEG1	SEG1	SEG1	SEG1	SEG1
1002H				SEG2	SEG2	SEG2	SEG2	SEG2
1003H				SEG3	SEG3	SEG3	SEG3	SEG3
1004H				SEG4	SEG4	SEG4	SEG4	SEG4
1005H				SEG5	SEG5	SEG5	SEG5	SEG5
1006H				SEG6	SEG6	SEG6	SEG6	SEG6
1007H				SEG7	SEG7	SEG7	SEG7	SEG7
1008H				SEG8	SEG8	SEG8	SEG8	SEG8
1009H				SEG9	SEG9	SEG9	SEG9	SEG9
100AH				SEG10	SEG10	SEG10	SEG10	SEG10
100BH				SEG11	SEG11	SEG11	SEG11	SEG11
100CH				SEG12	SEG12	SEG12	SEG12	SEG12
100DH				SEG13	SEG13	SEG13	SEG13	SEG13
100EH				SEG14	SEG14	SEG14	SEG14	SEG14
100FH				SEG15	SEG15	SEG15	SEG15	SEG15
1010H				SEG16	SEG16	SEG16	SEG16	SEG16
1011H				SEG17	SEG17	SEG17	SEG17	SEG17
1012H				SEG18	SEG18	SEG18	SEG18	SEG18
1013H				SEG19	SEG19	SEG19	SEG19	SEG19
1014H				SEG20	SEG20	SEG20	SEG20	SEG20
1015H				SEG21	SEG21	SEG21	SEG21	SEG21
1016H				SEG22	SEG22	SEG22	SEG22	SEG22
1017H				SEG23	SEG23	SEG23	SEG23	SEG23



1018H				SEG25	SEG25	SEG25	SEG25	SEG25
1019H				SEG26	SEG26	SEG26	SEG26	SEG26
101AH				SEG27	SEG27	SEG27	SEG27	SEG27
101CH				SEG28	SEG28	SEG28	SEG28	SEG28
101DH				SEG29	SEG29	SEG29	SEG29	SEG29
101EH				SEG30	SEG30	SEG30	SEG30	SEG30
101FH				SEG31	SEG31	SEG31	SEG31	SEG31
1020H				SEG32	SEG32	SEG32	SEG32	SEG32
1021H				SEG33	SEG33	SEG33	SEG33	SEG33
1022H				SEG34	SEG34	SEG34	SEG34	SEG34
1023H				SEG35	SEG35	SEG35	SEG35	SEG35

21.5.10 端口配置和模块使能

LCD 具有端口总使能控制位 LCDPC, 当 LCDPC 使能后对应端口才能作为 LCD 端口使用, 当前 COM 口和 SEG 口由端口功能寄存器进行配置;

LCD 模块具有独立使能控制位 LCDON, 但是当 LED 模块和 LCD 模块同时使能时硬件自动关闭 LCD 模块

配置端口控制寄存器 COMCR 和 SERCR0~SEGCR3 来使能 PAD 作为 LCD 端口



22 LED

22.1 特性

该 LED 基于 8051 总线设计，用于控制最大 8×32 共 256 个 LED，从而能够实现 LED 图形的控制。该模块拥有 8 个 COM 输出端口以及 32 个 SEG 输出端口用于对 LED 的控制。模块拥有 2 种工作模式，分别为亮灭模式及调光模式。每一帧图像包含 $X(X=1$ 至 $8)$ 个 COM 口顺序切换及每一个 COM 对应输出的 SEG 信号，从而实现对 8×32 共 256 个 LED 的控制。用户可以根据需求配置 COM 口的数量，实现更为流畅的图形输出。

- 最大支持 $8\text{COM} \times 32\text{SEG}$ ，可根据需求配置 1 到 8 个 COM 口
- 两种工作模式，亮灭模式和调光模式
- 每个 COM 的扫描宽度可以调节
- 调光模式采取调整 SEG 输出的 PWM 波的占空比调节，有 256 档
- 在 COM 扫描周期切换时，可以配置死区并自定义其时间
- 每次写入 1 帧图形所需数据，COM 切换时图形输出更为稳定
- 在每一帧图形输出中，COM 切换时自动刷新 SEG 输出数据

22.2 功能框图

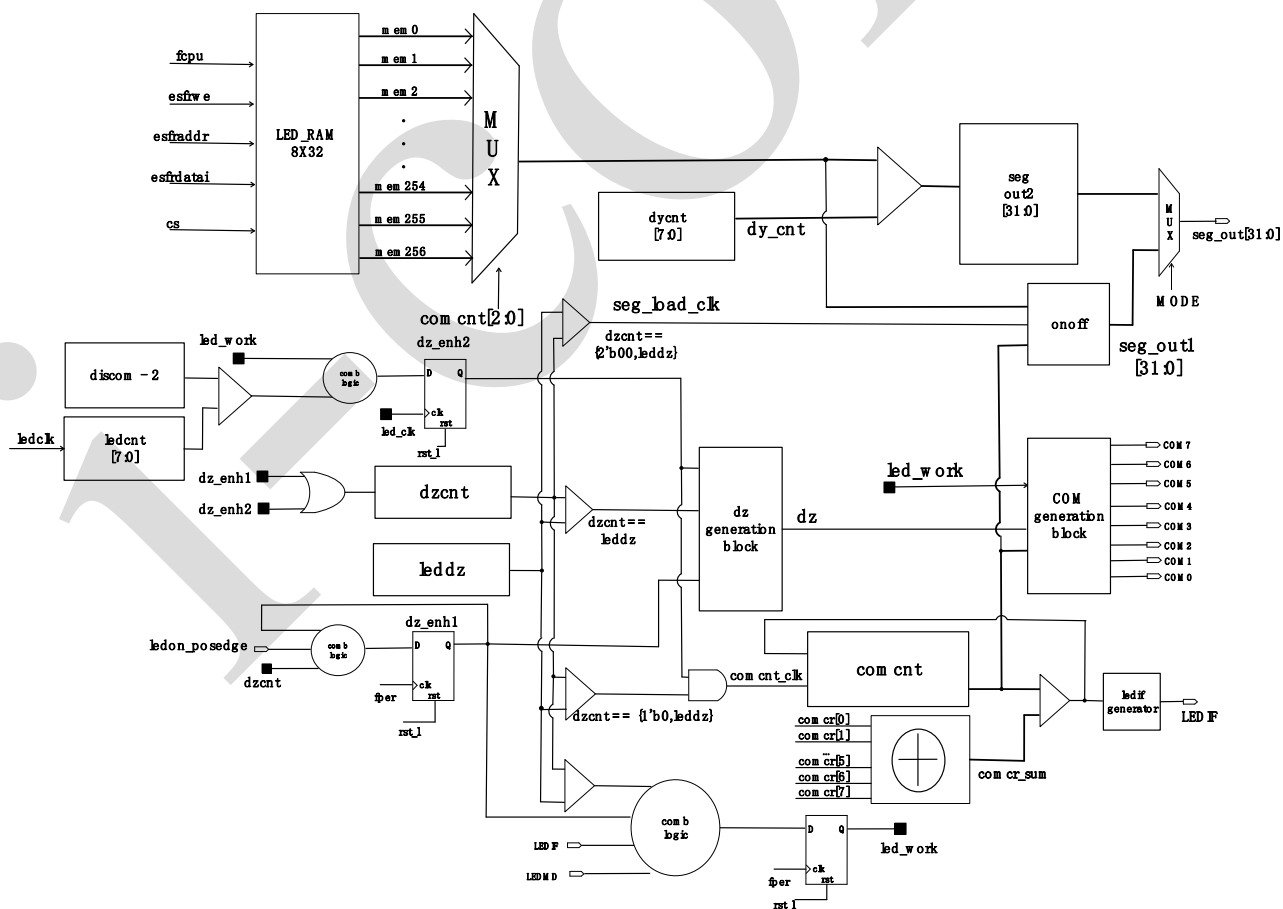


图 22.2.1 LED 功能框图



22.3 寄存器列表

表 22.3.1 LED 寄存器列表

寄存器名称	地址	描述	初值
LEDCR	4123H	LED 控制寄存器	00H
DISCOM	4124H	COM 扫描宽度寄存器	FFH
LEDDZ	4125H	死区宽度寄存器	FFH

22.4 寄存器说明

表 22.4.1 LEDCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LEDON	LEDMD	MODE	LEDIF	COMIF	—	—	MODSW
R/W	R/W	R/W	R/W	R/W0	R/W0	—	—	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LEDON	LED 使能控制位 0: LED 驱动器关闭 1: LED 驱动器使能
6	LEDMD	LED 中断运行模式控制位 0: 先发送低字节 (LSB) 1: LEDIF = 1 时, LED 扫描停止, 需要将 LEDON 置“1”开始下一帧扫描
5	MODE	LED 模式选择 0: 亮灭模式 1: 调光模式
4	LEDIF	LED 帧中断标志位 0: 无 LED 中断 1: 硬件置 1, 表示已经完成一帧的 LED 扫描
3	COMIF	LED_COM 中断标志 0: 无 LED_COM 中断 1: 硬件置 1, 表示已经完成一个 COM 的扫描
2-1	保留	
0	MODSW ^注	LED 共享位选择 0: LED 共享端口设置为 IO 1: LED 端口控制位有效

注: 使能此控制位后, SEGCRn 和 COMCR 控制寄存器有效, 控制端口逻辑。



表 22.4.2 DISCOM 寄存器

Bit	7	6	5	4	3	2	1	0
Name	DISCOM[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	DISCOM[7:0]	COM 输出低电平宽度=系统时钟宽度×256×(DISCOM+1) DISCOM 可被设置的最小值为 02H

表 22.4.3 LEDDZ 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LEDDZ[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

位	字段	描述
7-0	LEDDZ[7:0]	死区宽度=系统时钟宽度×LEDDZ LEDDZ 可被设置的最小值为 04H

22.5 功能说明

22.5.1 亮灭模式

当 LED 驱动器工作在亮灭模式时, LEDRAM0 至 LEDRAM31 会被用来控制 256 个 LED 灯, 其中

当 COM0 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM00~LEDRAM03 的值。

当 COM1 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM04~LEDRAM07 的值。

当 COM2 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM08~LEDRAM11 的值。

当 COM3 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM12~LEDRAM15 的值。

当 COM4 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM16~LEDRAM19 的值。

当 COM5 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM20~LEDRAM23 的值。

当 COM6 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM24~LEDRAM27 的值。

当 COM7 为低电平时, SEG0 到 SEG31 会选择输出 LEDRAM28~LEDRAM31 的值。

每个 LEDRAM 中的每一位对应一个 LED 灯, 由低位至高位对应 SEG0 到 SEG31, 为 0 时 LED 熄灭, 为 1 时 LED 点亮。

每当一个 com 扫描结束, 标志位 comif 置起。



每当一帧扫描结束，标志位 ledif 置起。

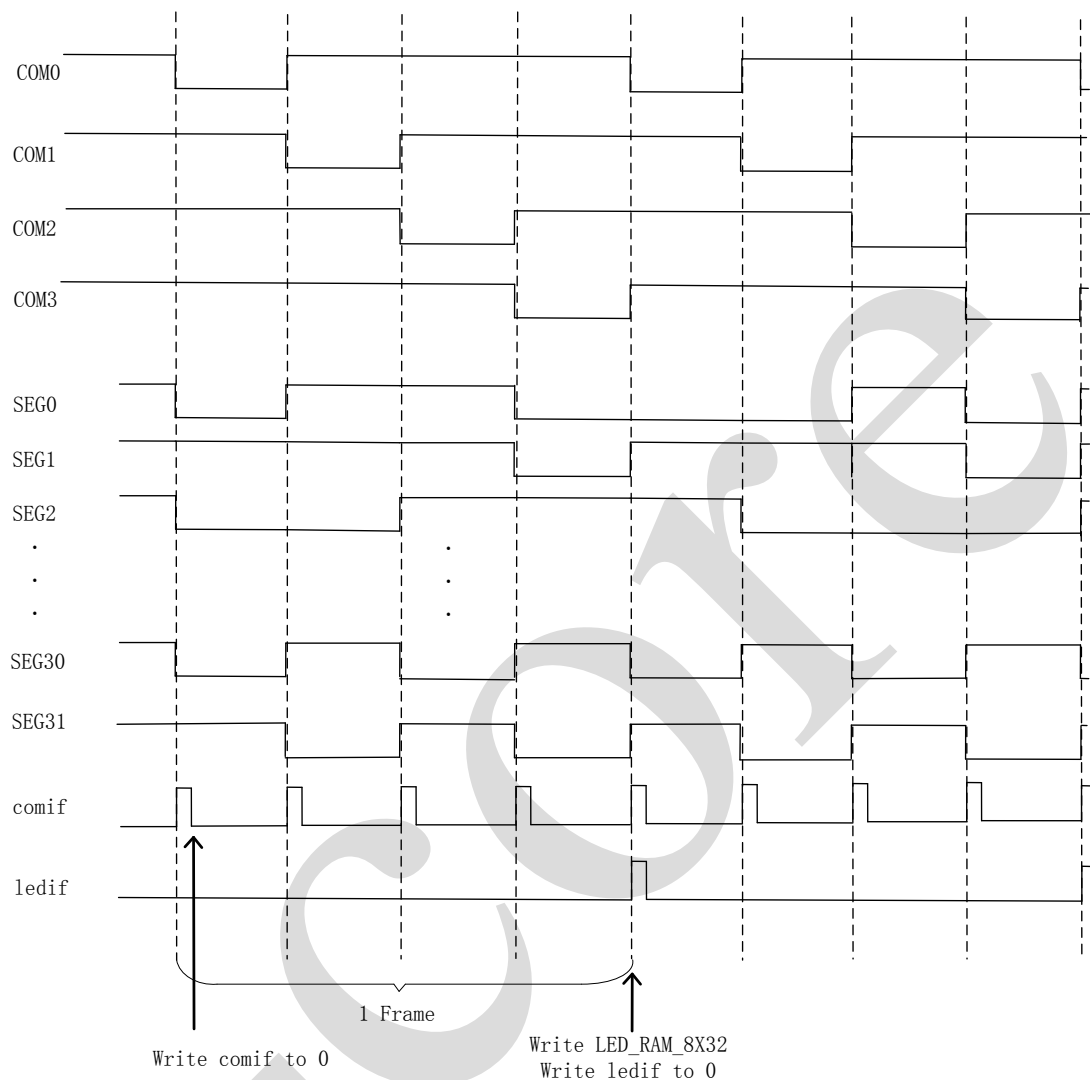


图 22.5.1 亮灭模式时序框图

22.5.2 调光模式

当 LED 驱动器工作在调光模式时，每一个 LEDRAM[7:0]会控制 1 个 LED 的亮度；亮度的控制是通过控制 SEG 口输出的 PWM 波的占空比实现。该占空比共有 256 档可调；当 LEDRAM[7:0]为 0xFF 时 SEG 输出占空比最大，当 LEDRAM[7:0]为 0x00 时 SEG 输出占空比最小；当 LEDRAM[7:0]为 0x00~0xFF 中间值时，SEG 输出对应的占空比。在每帧输出结束后，ledif 标志位置起，此时可以更改 256 个 LEDRAM 的值，从而改变下一帧的输出。

在调光模式下，LED 模块依靠一个 256×8bit 的 LEDRAM 实现该功能。每一帧图形所需的数据会存放在 LEDRAM 中，该 RAM 共有 256 个地址，每个地址会对应控制一个 LED



的亮度。如下图为打开 COM0~COM3,对 LEDRAM0 到 127 写入值递增,一帧后写入值递减时,LED 功能时序图。

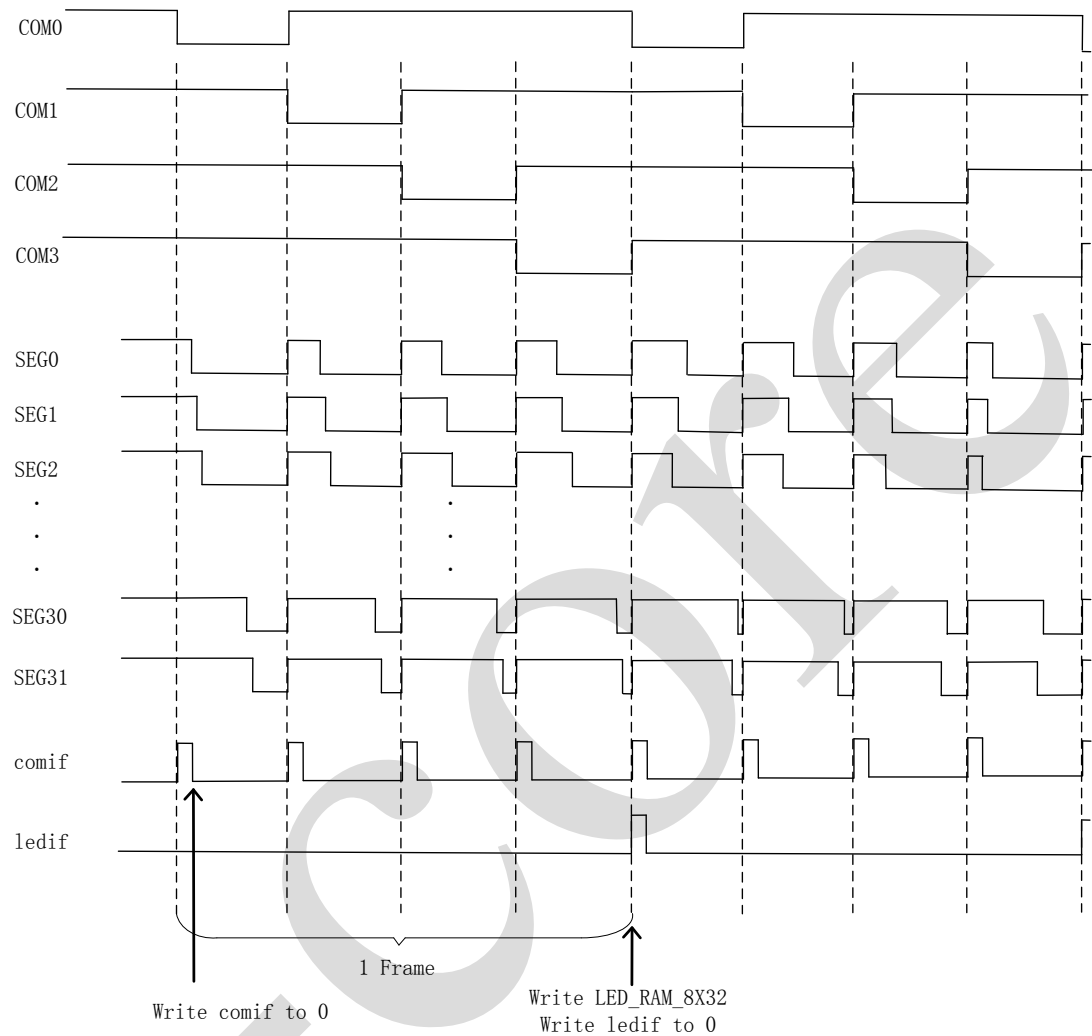


图 22.5.2 调光时序框图



22.5.3 死区制模式

为防止两个 COM 显示切换之间产生不确定状态，LED 驱动会在 2 个 COM 之间插入一段死区时间，在死区时间内 COM 输出浮动电平，每个死区时间长度为 N 个系统时钟宽度，可通过 LEDDZ 寄存器来设置。

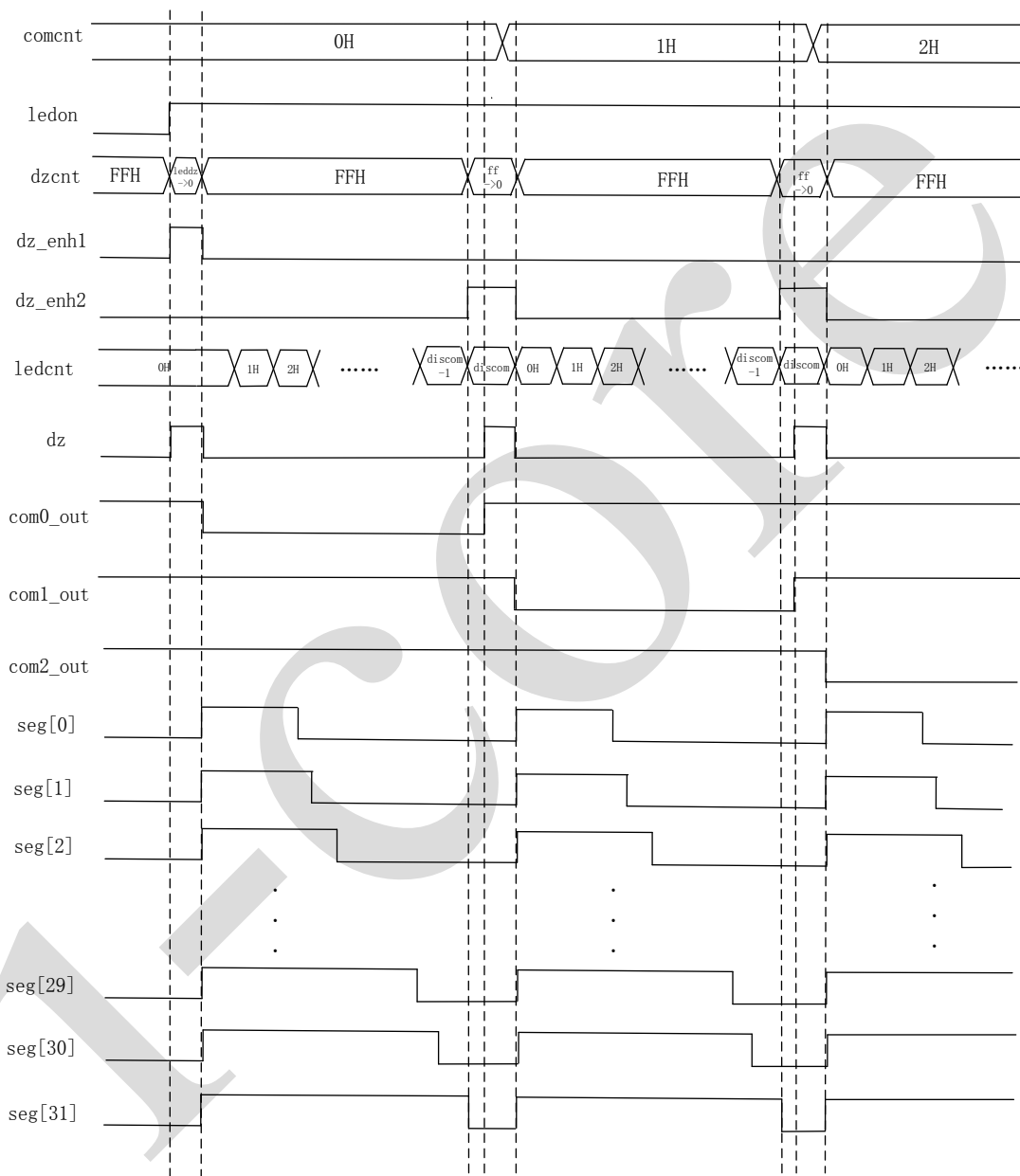


图 22.5.3 死区控制模式时序框图



22.5.4 每帧图形数据更新

数据更新需要在每一帧输出完成后进行，在每一帧图形刷新完成后，标志位 `ledif` 会置起。

在亮灭模式下每帧图形刷新完成后，需要更新 `LEDRAM0~LEDRAM31` 的数据，以确认下一帧刷新的图形。

需要注意的是，在亮灭模式下，若更新数据的中断服务程序较大或死区配置的时间较短（小于 70H），则需要使能 LED 中断运行模式控制位 `LEDMD`。使能 `LEDMD` 后，LED 会在每帧数据刷新后硬件置零 LED 使能 `LEDON`，在完成下一帧数据的写入后，需要由程序重新使能 LED 模块，进行下一帧数据的刷新。

在调光模式下每帧图形刷新完成后，需要更新 `LEDRAM0~LEDRAM256` 的数据，以确认下一帧刷新的图形。

若 LED 工作在调光模式下，则必须开启 LED 中断运行模式控制位 `LEDMD`。LED 会在每帧数据刷新后硬件置零 LED 使能 `LEDON`，在中断服务程序中完成对下一个 COM 刷新所需数据(`LEDRAM0~LEDRAM31`)的更新后，就可以使能 `LEDON` 开启下一帧数据的刷新，这之后仍然需要在中断服务程序中完成对剩下 224 个 `LEDRAM` 的数据更新，以确保下一帧图形的更新。



22.5.5 LED RAM 寄存器编址

LED RAM 容量为 256*8BIT。

LED RAM 编址								
	0H/8H	1H/9H	2H/AH	3H/BH	4H/CH	5H/DH	6H/EH	7H/FH
10F8H	mem248	mem249	mem250	mem251	mem252	mem253	mem254	mem255
10F0H	mem240	mem241	mem242	mem243	mem244	mem245	mem246	mem247
10E8H	mem232	mem233	mem234	mem235	mem236	mem237	mem238	mem239
10E0H	mem224	mem225	mem226	mem227	mem228	mem229	mem230	mem231
10D8H	mem216	mem217	mem218	mem219	mem220	mem221	mem222	mem223
10D0H	mem208	mem209	mem210	mem211	mem212	mem213	mem214	mem215
10C8H	mem200	mem201	mem202	mem203	mem204	mem205	mem206	mem207
10C0H	mem192	mem193	mem194	mem195	mem196	mem197	mem198	mem199
10B8H	mem184	mem185	mem186	mem187	mem188	mem189	mem190	mem191
10B0H	mem176	mem177	mem178	mem179	mem180	mem181	mem182	mem183
10A8H	mem168	mem169	mem170	mem171	mem172	mem173	mem174	mem175
10A0H	mem160	mem161	mem162	mem163	mem164	mem165	mem166	mem167
1098H	mem152	mem153	mem154	mem155	mem156	mem157	mem158	mem159
1090H	mem144	mem145	mem146	mem147	mem148	mem149	mem150	mem151
1088H	mem136	mem137	mem138	mem139	mem140	mem141	mem142	mem143
1080H	mem128	mem129	mem130	mem131	mem132	mem133	mem134	mem135
1078H	mem120	mem121	mem122	mem123	mem124	mem125	mem126	mem127
1070H	mem112	mem113	mem114	mem115	mem116	mem117	mem118	mem119
1068H	mem104	mem105	mem106	mem107	mem108	mem109	mem110	mem111
1060H	mem96	mem97	mem98	mem99	mem100	mem101	mem102	mem103
1058H	mem88	mem89	mem90	mem91	mem92	mem93	mem94	mem95
1050H	mem80	mem81	mem82	mem83	mem84	mem85	mem86	mem87
1048H	mem72	mem73	mem74	mem75	mem76	mem77	mem78	mem79
1040H	mem64	mem65	mem66	mem67	mem68	mem69	mem70	mem71
1038H	mem56	mem57	mem58	mem59	mem60	mem61	mem62	mem63
1030H	mem48	mem49	mem50	mem51	mem52	mem53	mem54	mem55
1028H	mem40	mem41	mem42	mem43	mem44	mem45	mem46	mem47
1020H	mem32	mem33	mem34	mem35	mem36	mem37	mem38	mem39
1018H	mem24	mem25	mem26	mem27	mem28	mem29	mem30	mem31
1010H	mem16	mem17	mem18	mem19	mem20	mem21	mem22	mem23
1008H	mem8	mem9	mem10	mem11	mem12	mem13	mem14	mem15
1000H	mem0	mem1	mem2	mem3	mem4	mem5	mem6	mem7



LED 亮灭模式编址表									
COM	地址	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
COM0	1000H	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	1001H	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	1002H	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	1003H	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
COM1	1004H	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	1005H	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	1006H	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	1007H	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
COM2	1008H	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	1009H	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	100AH	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	100BH	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
COM3	100CH	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	100DH	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	100EH	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	100FH	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
COM4	1010H	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	1011H	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	1012H	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	1013H	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
COM5	1014H	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	1015H	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	1016H	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	1017H	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
COM6	1018H	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	1019H	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	101AH	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	101BH	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24
COM7	101CH	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
	101DH	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
	101EH	SEG23	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
	101FH	SEG31	SEG30	SEG29	SEG28	SEG27	SEG26	SEG25	SEG24



LED 调光模式存储器与端口对应表								
	COM0	COM1	COM2	COM3	COM4	COM5	COM6	COM7
LED_SEG0	mem0	mem32	mem64	mem96	mem128	mem160	mem192	mem224
LED_SEG1	mem1	mem33	mem65	mem97	mem129	mem161	mem193	mem225
LED_SEG2	mem2	mem34	mem66	mem98	mem130	mem162	mem194	mem226
LED_SEG3	mem3	mem35	mem67	mem99	mem131	mem163	mem195	mem227
LED_SEG4	mem4	mem36	mem68	mem100	mem132	mem164	mem196	mem228
LED_SEG5	mem5	mem37	mem69	mem101	mem133	mem165	mem197	mem229
LED_SEG6	mem6	mem38	mem70	mem102	mem134	mem166	mem198	mem230
LED_SEG7	mem7	mem39	mem71	mem103	mem135	mem167	mem199	mem231
LED_SEG8	mem8	mem40	mem72	mem104	mem136	mem168	mem200	mem232
LED_SEG9	mem9	mem41	mem73	mem105	mem137	mem169	mem201	mem233
LED_SEG10	mem10	mem42	mem74	mem106	mem138	mem170	mem202	mem234
LED_SEG11	mem11	mem43	mem75	mem107	mem139	mem171	mem203	mem235
LED_SEG12	mem12	mem44	mem76	mem108	mem140	mem172	mem204	mem236
LED_SEG13	mem13	mem45	mem77	mem109	mem141	mem173	mem205	mem237
LED_SEG14	mem14	mem46	mem78	mem110	mem142	mem174	mem206	mem238
LED_SEG15	mem15	mem47	mem79	mem111	mem143	mem175	mem207	mem239
LED_SEG16	mem16	mem48	mem80	mem112	mem144	mem176	mem208	mem240
LED_SEG17	mem17	mem49	mem81	mem113	mem145	mem177	mem209	mem241
LED_SEG18	mem18	mem50	mem82	mem114	mem146	mem178	mem210	mem242
LED_SEG19	mem19	mem51	mem83	mem115	mem147	mem179	mem211	mem243
LED_SEG20	mem20	mem52	mem84	mem116	mem148	mem180	mem212	mem244
LED_SEG21	mem21	mem53	mem85	mem117	mem149	mem181	mem213	mem245
LED_SEG22	mem22	mem54	mem86	mem118	mem150	mem182	mem214	mem246
LED_SEG23	mem23	mem55	mem87	mem119	mem151	mem183	mem215	mem247
LED_SEG24	mem24	mem56	mem88	mem120	mem152	mem184	mem216	mem248
LED_SEG25	mem25	mem57	mem89	mem121	mem153	mem185	mem217	mem249
LED_SEG26	mem26	mem58	mem90	mem122	mem154	mem186	mem218	mem250
LED_SEG27	mem27	mem59	mem91	mem123	mem155	mem187	mem219	mem251
LED_SEG28	mem28	mem60	mem92	mem124	mem156	mem188	mem220	mem252
LED_SEG29	mem29	mem61	mem93	mem125	mem157	mem189	mem221	mem253
LED_SEG30	mem30	mem62	mem94	mem126	mem158	mem190	mem222	mem254
LED_SEG31	mem31	mem63	mem95	mem127	mem159	mem191	mem223	mem255



23 低电压复位 LVR

23.1 特性

低电压复位模块(LVR)用于对供电电压的检测，每当供电电压低于用户配置的电压时，LVR 会输出 LVR 低电平复位信号，其会令 MCU 产生内部复位。供电电压至少要维持 8 个 LIRC 时钟周期才会触发 LVR 复位。

- 该 LVR 支持 4 档低压检测点配置
- 自带滤波功能，可滤除瞬时低电压

23.2 寄存器列表

表 23.2.1 LVR 寄存器列表

寄存器名称	地址	描述	初值
LVRCR	8DH	LVR 控制寄存器	80H

23.3 寄存器说明

表 23.3.1 LVRCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LVREN	—	—	—	—	—	LVRSEL[1:0]	
R/W	R/W	—	—	—	—	—	R/W	R/W
POR	1	0	0	0	0	0	0	0

位	字段	描述
7	LVREN	LVR 模块使能位 0: 除能 1: 使能
1-0	LVRSEL[1:0]	LVR 复位电压选择位 00:2.10V (默认值) 01:2.55V 10:3.15V 11:3.80V



24 低电压检测 LVD

24.1 特性

低压检测（LVD）功能是为了监测供电电压，如果供电电压低于设定值时，LVD 会输出一个低电平使 LVDF 置 1，且该低电平至少维持两个 LIRC 时钟周期，否则该低电平将会被滤掉，LVDF 不会置起。该 LVD 支持 8 档低压检测点配置

24.2 寄存器列表

表 24.2.1 LVD 寄存器列表

寄存器名称	地址	描述	初值
LVDCR	86H	LVD 控制寄存器	00H

24.3 寄存器说明

表 24.3.1 LVDCR 寄存器

Bit	7	6	5	4	3	2	1	0
Name	LV DEN	—	—	LV DF	LV DSEL[3:0]			
R/W	R/W	—	—	R/W0	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	LV DEN	LVD 模块使能位 0: 除能 1: 使能
4	LV DF	低电压状态标志位（硬件置 1 后只能软件写 0 清 0） 0: 非低电压状态 1: 低电压状态标志位
3-0	LV DSEL[2:0]	LVD 检测电压选择位 0000: 2.0V（默认值） 0001: 2.1V 0010: 2.2V 0011: 2.32V 0100: 2.44V 0101: 2.59V 0110: 2.75V 0111: 2.93V 1000: 3.14V 1001: 3.38V 1010: 3.67V 1011: 4.0V 1100: 4.4V



25 OPA&CMP

25.1 特性

OPA 模块可由寄存器配置作为比较器或运放使用，P44 为正输入端，P45 为负输入端。
作为比较器使用时比较结果可由寄存器直接读取，作为运放使用时输出端口为 P43。

- 可复用为比较功能或运放功能

25.2 寄存器列表

表 25.2.1 OPA 寄存器列表

寄存器名称	地址	描述	初值
OPACR	EFH	OPA 控制寄存器	00H

25.3 寄存器说明

表 25.3.1 OPACR 寄存器

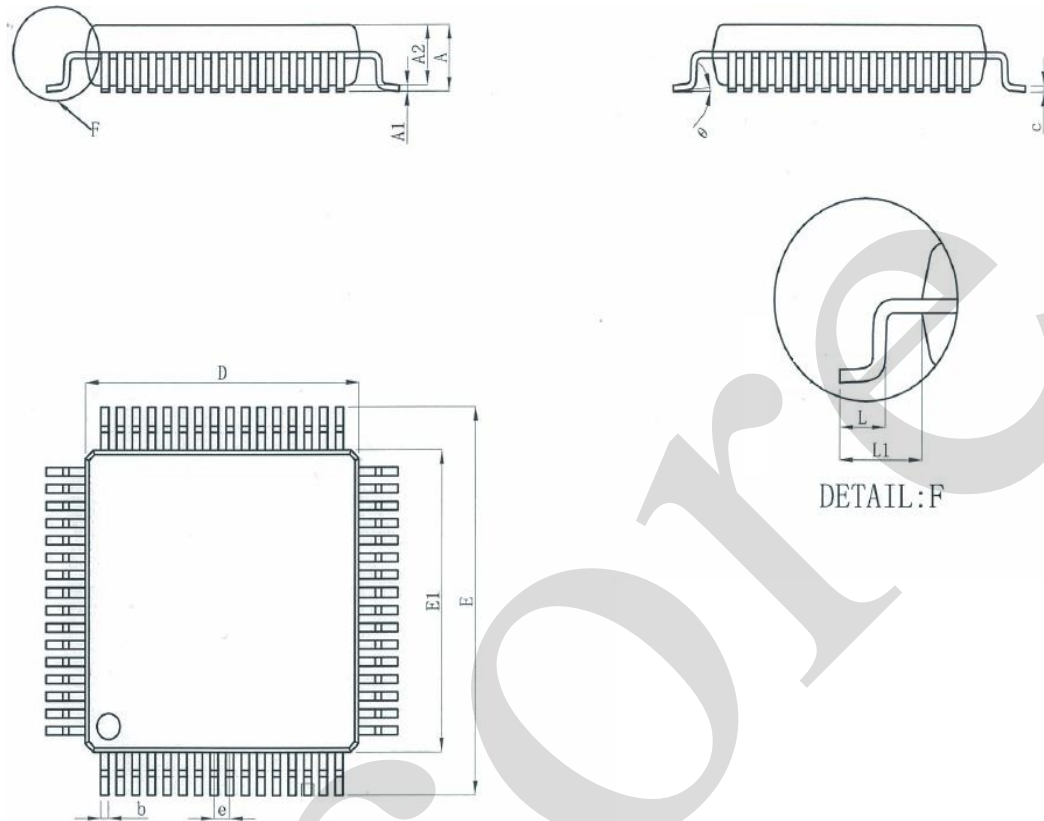
Bit	7	6	5	4	3	2	1	0
Name	CMPOUT	—	COS1	COS0	—	—	—	—
R/W	R	—	R/W	R/W	—	—	—	—
POR	0	0	0	0	0	0	0	0

位	字段	描述
7	CMPOUT	比较器输出位 0: P44 口电压小于 P45 1: P44 口电压大于 P45
6	保留	
5-4	COS[1:0]	LED 模式选择 00: 不使能 OPA 01: 使能 CMP 功能，P44，P45 为模拟口 P43 为数字口 10: 使能 OPA 功能，P44，P45，P43 均为模拟功能 11: 不使能 OPA
3-0	保留	



26 封装尺寸与外形图

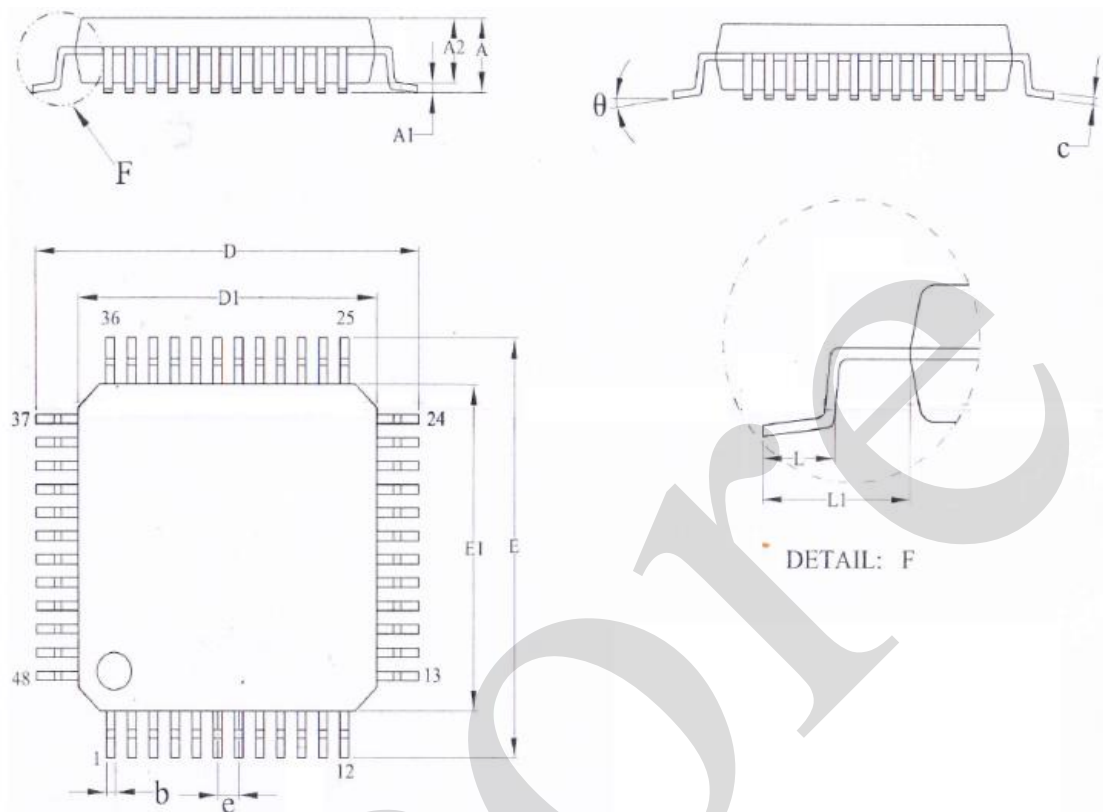
26.1 LQFP64 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters	
Symbol	Min	Max
A	1.45	1.65
A1	0.05	0.20
A2	1.30	1.50
b	0.13	0.24
c	0.09	0.20
D	6.90	7.10
E	8.80	9.20
E1	6.90	7.10
e	0.40	
L	0.43	0.75
L1	0.95	1.15
θ	0°	10°



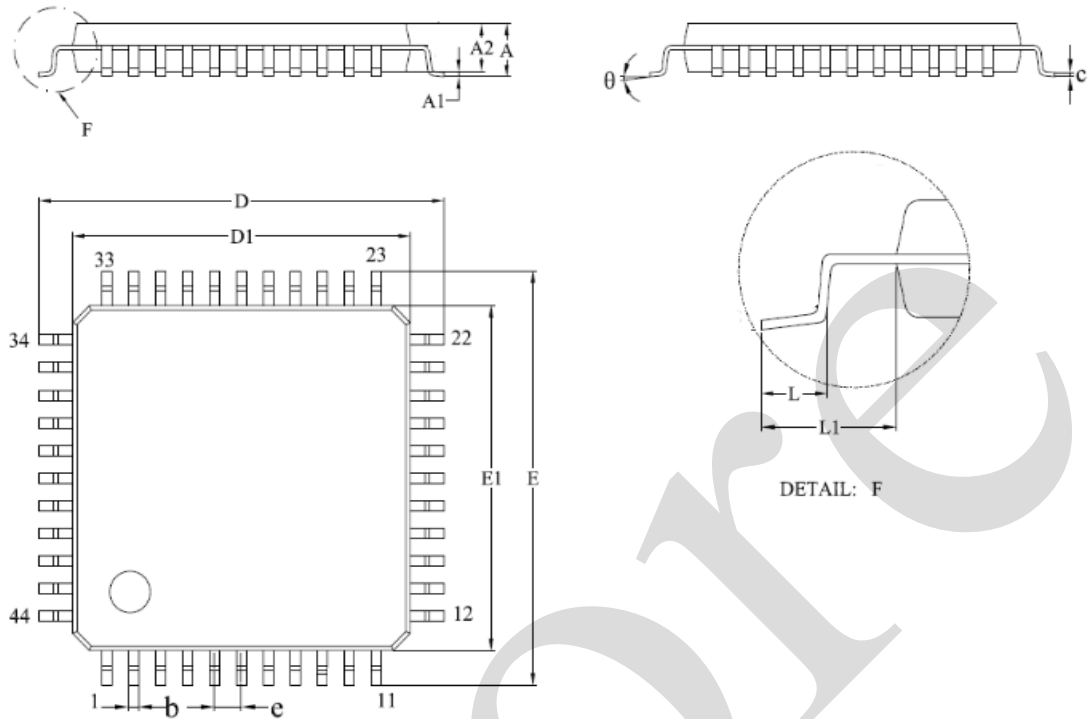
26.2 LQFP48 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters	
Symbol	Min	Max
A	1.45	1.65
A1	0.05	0.20
A2	1.30	1.50
b	0.17	0.27
c	0.09	0.20
D	8.80	9.20
D1	6.90	7.10
E	8.80	9.20
E1	6.90	7.10
e	0.50	
L	0.43	0.80
L1	1.00	
θ	0°	10°



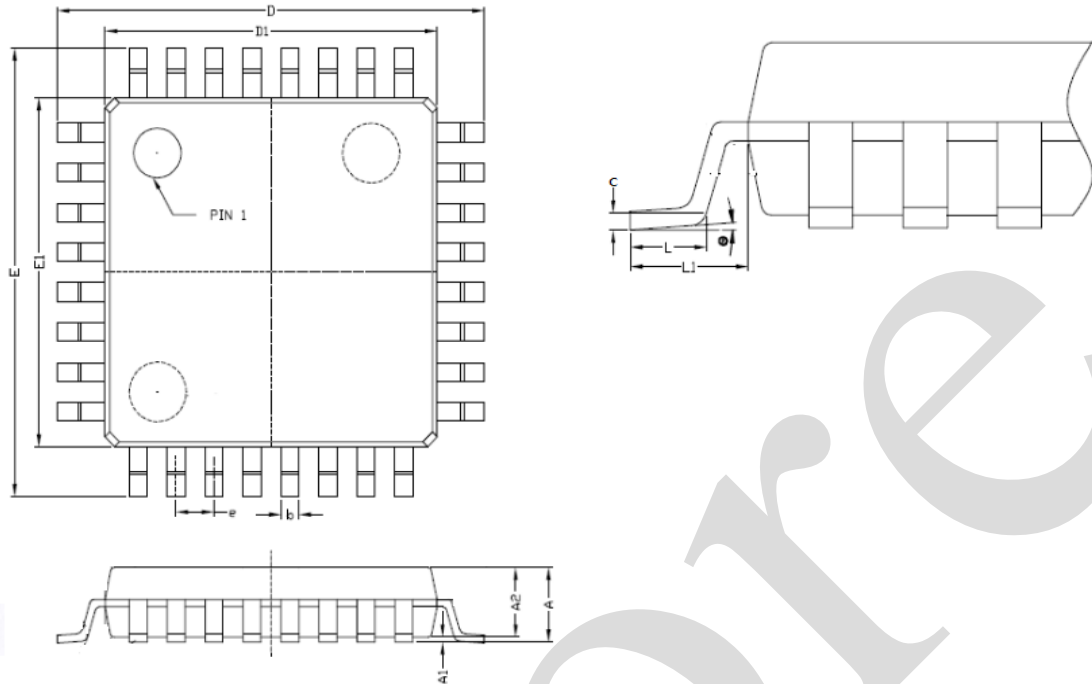
26.3 LQFP44 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters	
Symbol	Min	Max
A	1.45	1.65
A1	0.05	0.20
A2	1.30	1.50
b	0.28	0.36
c	0.13	0.18
D	11.80	12.20
D1	9.90	10.10
E	11.80	12.20
E1	9.90	10.10
e	0.80	
L	0.42	0.75
L1	0.95	1.15
θ	0°	10°



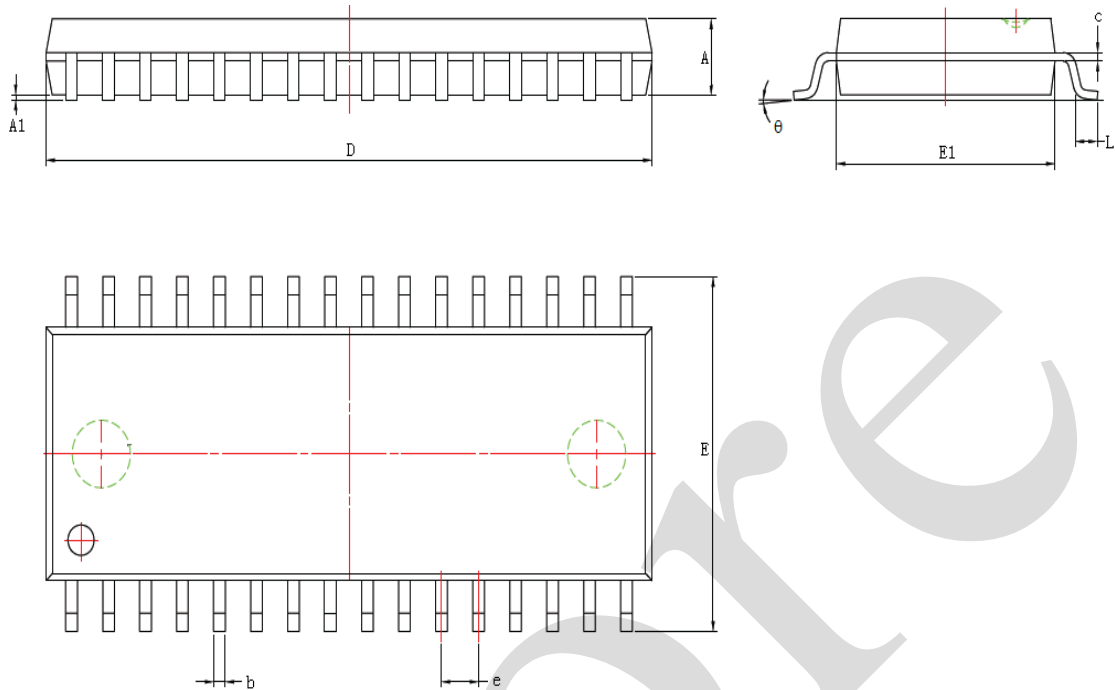
26.4 LQFP32 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters	
Symbol	Min	Max
A	—	1.60
A1	0.05	0.15
A2	1.35	1.45
b	0.32	0.43
c	0.13	0.18
D	8.80	9.20
D1	6.90	7.10
E	8.80	9.20
E1	6.90	7.10
e	0.80	
L	0.45	0.75
L1	1.00	
θ	0°	7°



26.5 SOP32 外形图与封装尺寸



2023/12/A	Dimensions In Millimeters	
Symbol	Min.	Max.
A	2.24	2.59
A1	0.05	0.25
E	10.20	10.60
E1	7.40	7.62
D	20.68	21.08
L	0.55	0.95
e	1.27	
b	0.30	0.50
c	0.25	
θ	0°	8°



27 声明及注意事项

27.1 产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素									
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr (VI))	多溴联苯 (PB Bs)	多溴联苯醚 (PB DEs)	邻苯二甲酸二 丁酯 (DBP)	邻苯二甲酸丁 苯酯 (BBP)	邻苯二甲酸二(2- 乙基己基)酯 (DEHP)	邻苯二甲酸二异丁 酯 (DIBP)
引线框	○	○	○	○	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○	○	○	○	○
芯片	○	○	○	○	○	○	○	○	○	○
内引线	○	○	○	○	○	○	○	○	○	○
装片胶	○	○	○	○	○	○	○	○	○	○
说明	○: 表示该有毒有害物质或元素的含量在 SJ/T11363-2006 标准的检出限以下。 ×: 表示该有毒有害物质或元素的含量超出 SJ/T11363-2006 标准的限量要求。									

27.2 注意

在使用本产品之前建议仔细阅读本资料:

本资料仅供参考, 本公司不作任何明示或暗示的保证, 包括但不限于适用性、特殊应用或不侵犯第三方权利等。

本产品不适用于生命救援、生命维持或安全等关键设备, 也不适用于因产品故障或失效可能导致人身伤害、死亡或严重财产或环境损害的应用。客户若针对此类应用应自行承担风险, 本公司不负任何赔偿责任。

客户负责对使用本公司的应用进行所有必要的测试, 以避免在应用或客户的第三方客户的应用中出现故障。本公司不承担这方面的任何责任。

本公司保留随时对本资料所发布信息进行更改或改进的权利, 本资料中的信息如有变化, 恕不另行通知, 建议采购前咨询我司销售人员。

请从本公司的正规渠道获取资料, 如果由本公司以外的来源提供, 则本公司不对其内容负责。